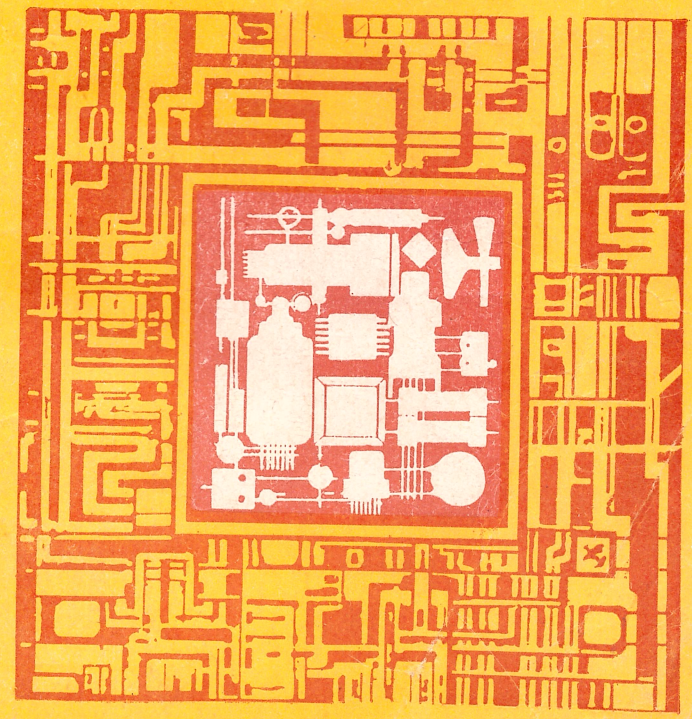
МАССОВАЯ БИБЛИОТЕКА ИНЖЕНЕРА

ЭЛЕКТРОНИКА 31

МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ ИНТЕГРАЛЬНЫХ СХЕМ



МАССОВАЯ БИБЛИОТЕКА ИНЖЕНЕРА

ЭЛЕКТРОНИКА

МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ ИНТЕГРАЛЬНЫХ СХЕМ

СОСТАВ И СТРУКТУРА

СПРАВОЧНИК

Под редакцией А. А. Васенкова, В. А. Шахнова

МОСКВА «РАДИО И СВЯЗЬ», 1982

ББК 32.97
М59
УДК 681.3.02:621.3.049.771.14

М59 **Микропроцессорные комплекты интегральных схем: Состав и структура:** Справочник/ В. С. Борисов, А. А. Васенков, Б. М. Малашевич и др.; Под ред. А. А. Васенкова, В. А. Шахнова. — М.: Радио и связь, 1982. — 192 с. ил. — (Массовая б-ка инженера «Электроника»).

55 к.

Рассмотрены состав микропроцессорного комплекта интегральных схем (МПК ИС) и особенности структуры микропроцессора. Дан анализ структур выпускаемых промышленностью МПК ИС, приведены их основные параметры и примеры вычислительных устройств с использованием МПК ИС.

Справочник предназначен для инженеров, занимающихся разработкой и применением микропроцессоров.

$\text{М}\frac{2405000000\text{-}058}{046(01)\text{-}82}53\text{-}82$

ББК 32.97
6Ф2.1

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

В. М. Пролейко (отв. редактор), В. М. Вальков, Б. Ф. Высоцкий, Г. Г. Горбунова, В. И. Иванов, В. И. Котиков, И. В. Лебедев, Э. А. Лукин, Ю. Р. Носов, В. И. Стафеев, В. Н. Сретенский (зам. отв. редактора), Ю. Б. Степанов, В. А. Шахнов.

РЕЦЕНЗЕНТЫ: доктора техн. наук А. Г. Алексенко, Б. Н. Файзулаев

Редакция литературы по электронной технике

© Издательство «Радио и связь», 1982

Предисловие

Достижения в области микроэлектроники позволили создать новый класс изделий вычислительной техники— микропроцессоры. Отечественной электронной промышленностью выпускается несколько типов микропроцессорных комплектов интегральных схем различной степени сложности. Причем в области разработки этого нового типа больших интегральных схем (БИС) отечественная промышленность, в отличие от зарубежных фирм, вела разработку и выпуск микропроцессоров, основываясь на долгосрочной комплексно-целевой программе, учитывающей все аспекты разработки, производства и применения микропроцессоров [14]. В результате разработаны и успешно применяются комплекты микропроцессорных БИС, из которых можно выбрать конкретный микропроцессор, оптимальный для тех или иных областей применения. Большой вклад в создание и развитие отечественных микропроцессоров внесли товарищи П. П. Гойденко, В. Ф. Зубашич, Э. Е. Иванов, А. Р. Назарьян, Б. Л. Толстых, О. В. Филатов и другие.

Особое место среди приведенных в книге комплектов микропроцессорных БИС занимает серия U83-К1883, являющаяся результатом совместной разработки специалистов Советского Союза и ГДР. Разработка этого комплекта впервые в мировой практике продемонстрировала эффективность совместных усилий коллективов специалистов двух стран в разработке таких сложных изделий микроэлектроники, как микропроцессорные БИС.

Предлагаемый вниманию читателя справочник преследует две взаимосвязанные цели. Во-первых, дать потребителям информацию об основных характеристиках выпускаемых промышленностью комплектах микропроцессорных БИС, что облегчит использование их в конкретной аппаратуре. Во-вторых, дать возможность как потребителям, так и разработчикам микропроцессоров ознакомиться с особенностями структуры и взаимодейст-

вия основных узлов микропроцессорных БИС — средств вычислительной техники в микроэлектронном исполнении.

Ограниченный объем книги не позволил привести полные данные о математическом обеспечении микропроцессорных комплектов БИС. Не приведены также рекомендации по использованию их в аппаратуре. Эти сведения читатель может почерпнуть из опубликованных работ и технической документации на ту или иную серию микропроцессорных БИС.

Авторы благодарны товарищам А. И. Березенко, В. П. Болдыреву, М. П. Гальперину, Х. Гиблеру, В. Л. Дшхуняну, Э. П. Калошкину, А. В. Кобылинскому, М. Лауэрманну, Ю. В. Хорошкову, М. Ф. Поликанову, И. Л. Талову, Ю. В. Терехову, В. П. Цветову, без активной помощи и участия которых книга не смогла бы быть подготовленной к печати. Авторы признательны также рецензентам докторам технических наук А. Г. Алексенко и Б. Н. Файзулаеву, чьи замечания способствовали улучшению качества книги.

Авторы будут благодарны за все замечания, которые сочтут необходимым сделать читатели этой книги. Пожелания и замечания просьба направлять по адресу: Москва, Главпочтамт, а/я 693, изд-во «Радио и связь».

Список основных сокращений

А — адрес
АК — аккумулятор
АЛУ — арифметико-логическое устройство

Б — блок
БЛ — блокировка
БМК — база микрокоманды
БМУ — блок местного управления
БРГ — блок регистров
БФ — буфер

ВД — выдача
ВЗ — возврат
ВМ — выбор микросхемы
ВХ — вход
ВЫХ — выход

ГТ — готовность
Д — данные
ДШ — дешифратор
З — запрос
ЗН — знак
ЗП — запись
ЗХ — захват
К — код
КН — канал
КСТ — константа
КТ — контроль
ЛС — логическое сложение
ЛУ — логическое умножение
М — мультиплексор
МК — микрокоманда
МП — микропроцессор
МПК ИС — микропроцессорный комплект интегральных схем
МР — микропрограмма
МС — маскирование
ОБ — обмен
ОБР — обращение

ОЖ (ЖД) — ожидание
ОП — операция
ОТВ — ответ
ОСТ — останов
ОШ — ошибка
П — подтверждение
ПД — прямой доступ
ПЛН — параллельный интерфейс
ПМ — прием
ПН — признак
ПР — прерывание
ПС — перенос
ПСН — последовательный интерфейс
ПСК — пуск
ПТ — приоритет
ПЧ — передача
Р — разрешение
Р, РГ — регистр
РЖ — режим
РГМК — регистр микрокоманд

РК — регистр команд
РОН — регистр общего назначения
С — синхронизация
СБР — сброс
СД — сдвиг
СМ — сумматор
СН — состояние
СП — сопровождение
СР — сравнение
СТ — счетчик
СТР — строб
СХ — схема
Т — триггер
ТА — текущий адрес
ТИ — тактовый импульс
У — управление
УВВ — устройство ввода — вывода
УЛ — условие
УР — уровень
УС — усилитель
УСТ — установка
Ф — флажок
ЦПЭ — центральный процессорный элемент
ЧТ — чтение, считывание
Ш — шина
ШО — шина общая

1. Состав микропроцессорного комплекта интегральных схем и структура микропроцессора

По определению [20], *микропроцессорным комплектом интегральных схем* (МПК ИС) называется совокупность микропроцессорных и других интегральных микросхем, совместимых по конструктивно-технологическому исполнению и предназначенных для совместного использования при построении микропроцессоров, микро-ЭВМ, контроллеров и других средств вычислительной техники. При этом под микропроцессором (МП) понимается программно-управляемое устройство, осуществляющее прием, обработку и выдачу цифровой информации, построенное на одной или нескольких интегральных микросхемах, входящих в состав МПК ИС.

Все разработанные, выпускаемые промышленностью и используемые потребителями МПК ИС могут быть разделены на две группы. МПК ИС, применяемые в различных средствах вычислительной техники и цифровой автоматики, называются *универсальными* микропроцессорными комплектами интегральных схем. Эта группа МПК ИС более многочисленна, к ней принадлежат такие широко известные комплекты, как К580, К587, К582, MCS 80, MCS 86, I3000 (фирма Intel), М6800 и М10800 (фирма Motorola), F8 (фирма Fairchild) и др.

МПК ИС, предназначенные для построения только одного типа вычислительных машин, называются *специализированными*. Эта группа МПК ИС насчитывает несколько разновидностей, к числу которых, например, принадлежат комплекты К581, К536, СР-1600 (фирма General Instruments), LSI 12/16 (фирма General Automation) и др.

Строго говоря, интегральные схемы, на которых строятся микрокалькуляторы, также можно отнести к микропроцессорным. Однако однотипность их структуры

и узкоцелевое использование не позволяют в полной мере отнести их к МП, в связи с чем они не являются предметом нашего дальнейшего рассмотрения.

Интегральные схемы, на которых строится собственно микропроцессор, образуют так называемый *базовый* МПК ИС, который может состоять из одной большой интегральной схемы (БИС) — однокристальный МП, двух БИС — двухкристальный МП, нескольких БИС — многокристальный МП.

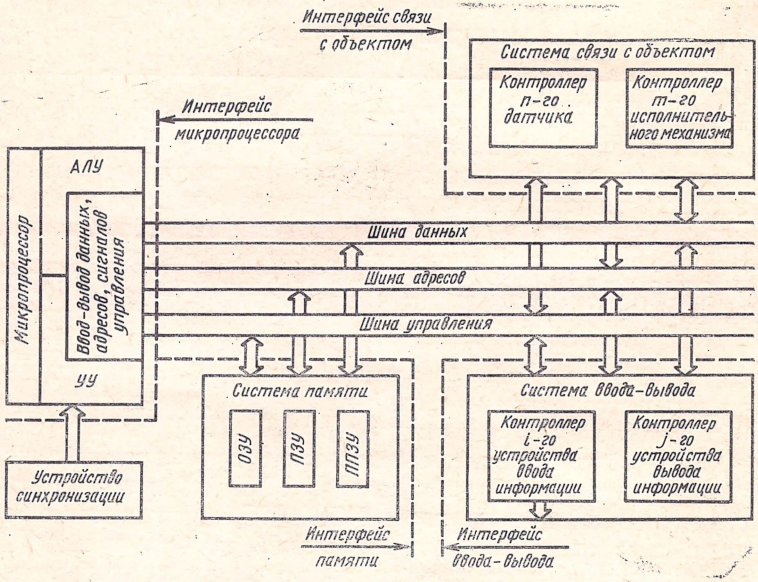


Рис. 1.1. Структурная схема вычислительного устройства, построенного на МПК ИС

Интегральные схемы различной степени интеграции, необходимые для построения остальных устройств средств вычислительной техники: ОЗУ, ПЗУ, блоков связи с устройствами ввода — вывода информации и с объектами и т. д. — дополняют базовый МПК ИС до собственно МПК ИС.

На рис. 1.1 представлена обобщенная структурная схема вычислительного устройства с применением интегральных схем МПК. Микропроцессор, осуществляющий обработку информации совместно с другими БИС комплекта, связан с ними одной, двумя или тремя (как показано на рис. 1.1) шинами. Такая организация

средств вычислительной техники принципиально не отличается от традиционной схемы построения ЭВМ на элементах малой и средней степеней интеграции. Однако высокая надежность, простота управления, низкая стоимость, малое потребление энергии, небольшие габариты, возможность встраивания в объект контроля или управления при сравнительно высоком быстродействии, адресации к большим емкостям памяти и реконфигурации делают реальным использование вычислительных средств на МПК ИС (микро-ЭВМ) там, где применение ЭВМ предыдущих поколений практически невозможно.

Как видно из рис. 1.1, МПК ИС состоит из четырех групп интегральных схем: 1) базовый МПК ИС; 2) ИС запоминающих устройств, образующих систему памяти микро-ЭВМ (микросхемы ОЗУ, ПЗУ, ППЗУ, схемы памяти с неоперативной сменой информации, внешней памяти большой емкости); 3) ИС, осуществляющие связь между МП и устройствами ввода — вывода информации (дисплеи, АЦПУ, графопостроители, фотосчитыватели, внешние накопители информации, телеграфные, телефонные и телетайпные станции и т. д.); 4) ИС, предназначенные для связи с объектом (ЦАП, АЦП, компараторы, преобразователи, усилители и т. д.). Большую часть ИС третьей и четвертой групп составляют контроллеры — устройства, состоящие из одной или нескольких БИС и осуществляющие управление работой периферийных устройств ввода — вывода информации.

Следует отметить, что для представленной на рис. 1.1 структуры микро-ЭВМ необходимым условием высокой эффективности использования является совместимость интерфейсов МП и систем памяти, ввода — вывода и связи с объектом.

Структурно МП (а также базовый МПК ИС) может быть выполнен в одной из двух известных модификаций:

— с фиксированной разрядностью обрабатываемых слов и фиксированной системой команд;

— с возможностью наращивания разрядности обрабатываемых слов (секционирование МП) и микропрограммным управлением.

Структура МП первого типа во многом повторяет структуру командно-управляемых ЭВМ малой и средней производительности. Микропрограммное управление позволяет получить большую гибкость в использовании МП, оптимизировать его характеристики для конкрет-

ных применений в результате расширения и изменения системы команд.

Отметим наиболее характерные узлы МП. Ядром микропроцессора (или базового МПК ИС) является *арифметико-логическое устройство* (АЛУ), состоящее из двоичного сумматора, сдвигающего регистра, схем ускоренного переноса и регистров для временного хранения операндов. В АЛУ *аппаратно* осуществляется несколько простейших *операций,* более сложные действия выполняются путем выполнения последовательности микрокоманд. Обработка данных производится в соответствии с кодом управляющих сигналов, поступающих на управляющие входы АЛУ.

Для расширения возможностей АЛУ и обеспечения приема, выдачи и обработки операндов в МП используется группа *внутренних регистров,* в состав которой входят регистры общего назначения, регистр команд, регистр адреса, стек, указатель стека, индексные регистры, счетчик команд, регистр состояния, регистр прямого доступа к памяти, накопительный регистр и т. д.

Регистры общего назначения (РОН), число которых может доходить до 64, предназначены для хранения подлежащих обработке данных, результатов обработки информации в АЛУ и команд обработки. Кроме того, эти регистры могут выполнять роль других специальных регистров: указателя стека, счетчика команд, индексного регистра и т. п. Все РОН доступны программисту и по существу выполняют роль сверхоперативного ОЗУ. Увеличение числа РОН в микропроцессоре приводит к необходимости исключения их из состава МП и переводу функции РОН на интегральные схемы быстрой памяти.

Стек, так же как и РОН, выполняемый либо в МП, либо в некоторой выделенной части ОЗУ, предназначен для осуществления режима обработки прерываний и выполнения некоторых программ: обращения к устройствам ввода — вывода, преобразования кодов и т. д. Безадресный способ обращения к стеку определяется его принципом работы: последним записан — первым прочитан.

Включение стека в состав МП диктуется необходимостью выполнения стандартных процедур программным способом и возможностью обработки в реальном масштабе времени, требующем постоянного взаимодей-

ствия системы управления и внешних устройств через систему прерываний.

В случае вынесения стека из МП в последнем предусматривается *регистр — указатель стека*, содержимое которого увеличивается (или уменьшается) на единицу при каждом обращении к стеку.

Регистр — счетчик команд — предназначен для хранения адреса следующей за выполняемой команды. *Регистр команд* служит для хранения кода команды, адрес которой установлен регистром — счетчиком команд. *Регистр адреса* хранит адрес ячейки внешней памяти, из которой в некоторый момент времени необходимо извлечь операнд или в которую необходимо записать операнд. *Накопительный регистр* предназначен для временного хранения операндов или промежуточных результатов при выполнении арифметических и логических операций. *Регистр состояния* предназначен для фиксации состояния МП в каждый момент выполнения программы. *Индексные регистры* вместе с устройством управления организуют процесс обработки информации в МП. *Буферные регистры адреса и данных* предназначены для временного хранения адресов и данных перед выдачей их на внешние шины.

Устройство управления работой АЛУ и группой регистров в зависимости от способа организации управления может быть выполнено в одной из двух модификаций.

Способ организации управления, называемый жестким или схемным, характеризуется тем, что последовательность сигналов, необходимая для выполнения тех или иных операций, формируется специальным блоком, на вход которого подается код соответствующей команды. Управляющие сигналы вырабатываются в течение нескольких тактов, последовательность их формирования определяется совокупностью условий, что предопределяет достаточно сложную в функциональном отношении структуру дешифратора команд и блока формирования сигналов управления. Недостатком такой организации управления работой МП является необходимость переработки схемы в случае изменения одной или нескольких команд или введения новой; достоинством — сравнительно высокое быстродействие.

Второй способ организации управления, называемый микропрограммным, характеризуется наличием специ-

ального ЗУ микрокоманд, хранящего набор микропрограмм, соответствующих кодам операций. Каждому коду операции (команде) соответствует определенная совокупность микрокоманд (микропрограмма), последовательное выполнение которых обеспечивает ее выполнение. Первая микрокоманда микропрограммы, соответствующей поступившему в устройство управления коду операции, дешифруется, после чего вырабатываются управляющие сигналы, поступающие в обрабатывающую часть МП. Затем поступает следующая микрокоманда микропрограммы, дешифруется и т. д., пока не будет выполнена последняя микрокоманда операции.

Хранение микрокоманд в специальном ЗУ позволяет достаточно просто производить замену микропрограмм, т. е. набора выполняемых микропроцессором команд без его переработки. Однако необходимость обращения к ЗУ микрокоманд в каждом такте ограничивает быстродействие микропроцессора.

Шины адресов, данных и управления используются для передачи соответствующих сигналов между различными блоками МП.

Трехшинная организация МП, в которой одна шина используется для передачи данных, другая — команд, а третья — сигналов управления, обеспечивает высокое быстродействие и позволяет передавать необходимую информацию без предварительного хранения в буферных регистрах.

Двухшинная и одношинная организация МП требуют введения двух-трех буферных регистров, что увеличивает время выполнения операций из-за необходимости обращения к каждому регистру в каждом такте работы МП.

Все перечисленные узлы и блоки имеются, как правило, в большинстве известных типов МП и МПК ИС. Введение этих и других узлов (мультиплексоров, вспомогательных регистров и пр.) в состав интегральных схем, образующих МПК, позволяет получить микропроцессор с широкими вычислительными возможностями.

В таблице 1.1 приведен перечень выпускаемых промышленностью и широко используемых МПК ИС. Общее число микросхем в каждом комплекте приведено по состоянию на середину 1980 г. Обозначение *An* в столбце «разрядность» означает, что в данном случае речь идет о секционированном МП. Разрядность данных, об-

Таблица 1.1

Обозначение МПК ИС	Число ИС: общее	Число ИС: в базовом комплекте	Базовая технология	Тип МПК ИС	Разрядность, бит	Напряжение питания, В
К536	12	2	*p*-МДП	специализированный	8	—24; +1,5
К580	3	1	*n*-МДП	универсальный	8	—5; +5; +12
К581	4	2	*n*-МДП	специализированный	16	—5; +5; +12
К584	3	2	И²Л	универсальный	4*n*	
К586	4	1	*n*-МДП	специализированный	16	—5; +5; +12
К587, КР587	4	2	КМДП	универсальный	4*n*	+9
К588	3	2	КМДП	универсальный	16*n*	+5
К589	8	2	ТТЛДШ	универсальный	2*n*	+5
U83-K1883	4	2	*n*-МДП	универсальный	8*n*	+5

рабатываемых вычислительным устройством, построенном на таком МП, кратна *A*.

К моменту выхода книги в свет число МПК и интегральных схем в каждом из них будет увеличиваться. По мнению авторов, рост номенклатуры комплектов не должен быть безграничным, неуправляемым. Появление каждого нового типа МПК ИС должно быть технически и экономически оправданно. Гораздо более важным является рост числа БИС, входящих в уже разработанные комплекты, что позволит расширить их функциональные возможности, придаст им гибкость и облегчит реконфигурацию систем на их основе. Авторы уверены, что именно таким путем прежде всего пойдет дальнейшее развитие микропроцессорной техники.

2. Микропроцессорный комплект интегральных схем серии К536

МПК серии К536 (бК0.348.340 ТУ), выполненные на базе *p*-МДП-технологии, предназначены для построения микро-ЭВМ семейства «Электроника С5», используемых для сбора и обработки информации при построении систем управления технологическими процессами, кон-

трольно-измерительных и коммутационных систем связи, предназначенных для широкого применения в системах локального контроля и управления.

В состав МПК К536 входят 12 интегральных схем различной степени интеграции и различной функциональной сложности. Десять схем МПК К536 выполнены в корпусах типа 4 (ГОСТ 17.467—79), две схемы—в корпусе типа 2. Все схемы МПК могут использоваться при следующих условиях эксплуатации:

— интервал рабочих температур от —10 до +55° С;

— относительная влажность воздуха до 98% при температуре +25° С;

— многократное циклическое изменение температуры окружающей среды от —10 до +55° С;

— вибрационные нагрузки с ускорением до 10 *g* в диапазоне частот от 1 до 600 Гц;

Таблица 2.1

Обозначение ИС	Наименование ИС	Характеристика корпуса			
		Обозначение	Число выводов	Длина, мм	Ширина, мм
К536ИК9	Арифметико-логическое устройство	413.48-1	48	37,8	28
К536ИК8	Микропрограммное устройство	413.48-1	48	37,8	28
К536ИР1	Буферные регистры	413.48-1	48	37,8	28
К536ИК5	Устройство ввода — вывода (таймер)	413.48-1	48	37,8	28
К536ГГ1	Генератор-распределитель синхроимпульсов	244.48-8	48	31,2	25
К536УИ2	Буферное устройство (шинный усилитель с запоминанием)	460.24-1	24	31,5	31,5
К536УИ1	Буферное устройство (усилитель мощности)	460.24-1	24	31,5	31,5
К536 КЗ	Устройство управления ввода — вывода	413.48-1	48	37,8	28
К536ИК4	Устройство ввода — вывода (адаптер)	413.48-1	48	37,8	28
К536ИК7	Управление устройством селекторного канала	413.48-1	48	37,8	28
К536ИВ1	Клавиатурный шифратор	413.48-1	48	37,8	28
К536ИК6	Схема управления преобразователем напряжение — код	413.48-1	48	37,8	28

Таблица 2.2

Обозначение ИС	Напряжение, В		Разрядность, бит	Время цикла, мкс	Потребляемая мощность, Вт
	0	1			
К536ИК9	≤—2,0	≥—11,0	8	10—30	≤70
К536ИК8	≤—2,0	≥—11,0	10	10—30	≤70
К536ИР1	≤—2,0	≥—11,0	8+1КТ	10—30	≤70
К536ИК5	≤—2,0	≥—11,0	1	10—30	≤70
К536ГГ1	—	—	—	10—30	≤1000
К536УИ2	—	—	—	20—40	≤500
К536УИ1	≤—1,0 ≤—2,0	≥—21,0 ≥—22,0	—	—	≤500
К536ИК3	≤—2,0	≥—11,0	8+1КТ	10—30	≤70
К536ИК4	≤—2,0	≥—11,0	8+1КТ	10—30	≤70
К536ИК7	≤—2,0	≥—11,0	10	10—30	≤70
К536ИВ1	≤—2,0	≥—11,0	9	10—30	≤100
К536ИК6	≤—2,0	≥—11,0	12+2КТ	10—30	≤50

— линейные нагрузки с ускорением до 25 g;

— многократные удары длительностью от 2 до 6 мс с ускорением до 75 g.

Функциональное назначение каждой из входящих в МПК К536 схем, ее условное обозначение, тип корпуса, число выводов корпуса и его габаритные размеры приведены в табл. 2.1, а их типовые характеристики — в табл. 2.2.

Приведем краткое описание структуры и функционирования интегральных схем МПК К536.

Арифметико-логическое устройство (АЛУ) К536ИК9 (бК0.348.340 ТУ1) предназначено для построения МП параллельного действия с микропрограммным управлением. АЛУ выполняет арифметические и логические действия и операции хранения и пересылок над 8-разрядными словами. Число внутренних регистров сведено к минимуму, рабочие регистры вынесены в относительно быструю оперативную память, обращение к которой может происходить с той же частотой, что и к регистрам, расположенным в АЛУ. АЛУ — многофункциональное устройство, т. е. способное работать в различных режимах: как собственно АЛУ или как счетчик команд для хранения и обработки информации, для формирования адресов команд и чисел, хранения и выдачи условий, а также для контроля поступающей на АЛУ информации.

Корпус микросхемы К536ИК9 имеет 48 выводов, назначение которых приведено в табл. 2.3. В состав АЛУ (рис. 2.1) входят двунаправленная информационная шина (ШИ), двунаправленная адресная шина (ША), общая шина (ШО), регистр-сумматор (РГСМ), схема логики переносов (СХПС), схема выработки признаков (СХПН), регистр признаков (РГПН), регистр ошибок

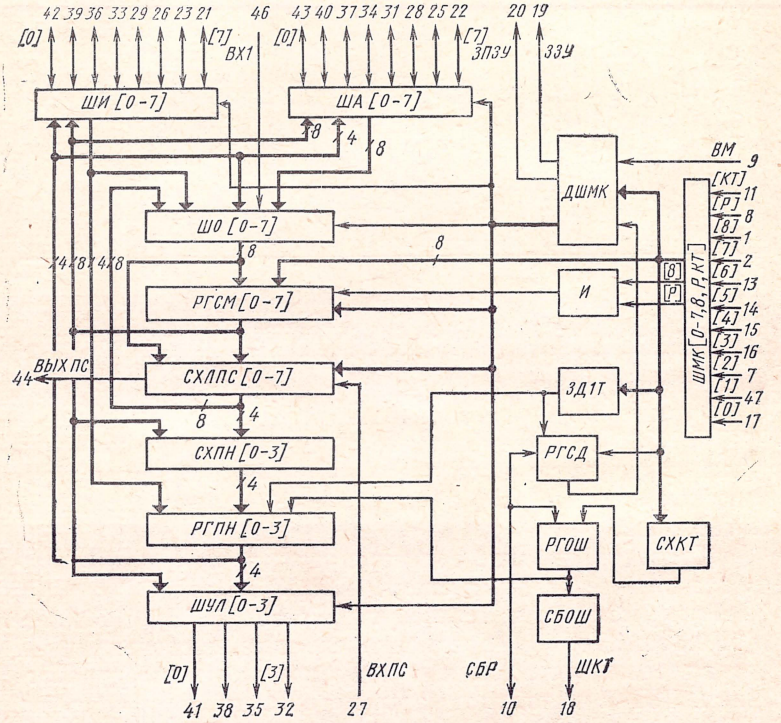


Рис. 2.1. Структурная схема БИС арифметико-логического устройства К536ИК9

(РГОШ) со схемами контроля (СХКТ) и сборки ошибок (СБОШ), регистр сдвига (РГСД), дешифратор микрокоманд (ДШМК), шина микрокоманд (ШМК), шина условий (ШУЛ).

Восьмиразрядные двунаправленные ШИ и ША принимают информацию и передают ее в БИС АЛУ на ШО и в РГПН либо принимают информацию с РГС и РГПН в соответствии с кодом микрооперации. ШО через соответствующие вентили принимают информацию с ШИ

Таблица 2.3

Номер вывода	Обозначение	Наименование	Примечание
1, 2, 7, 13—17, 47	ШМК	Шина микрокоманд	Вход
3—6, 30, 45	С	Синхроимпульсы	Вход
8	ШМК [Р]	Разрешение микрокоманд	Вход
9	ВМ	Выбор микросхемы	Вход
10	СБР	Сброс регистра действий	Вход
11	ШМК [КТ]	Шина микрокоманд контрольный разряд	Вход
12	$\perp$	Общий	
18	ШКТ	Шина контроля	Выход
19	ЗЗУ	Запрос ЗУ	Выход
20	ЗПЗУ	Запись ЗУ	Выход
21, 23, 26, 29, 33, 36, 39, 42	ШИ	Информационные шины	Вход/выход
22, 25, 28, 31, 34, 37, 40, 43	ША	Адресные шины	Вход/выход
24	$U_{ип2}$	Питание (0—1,5 В)	
27	ВХПС	Вход переноса	Вход
32, 35, 38, 41	ШУЛ	Шины условий	Выход
44	ВЫХПС	Выход переноса	Выход
46	ВХ1	Вход 1	Вход
48	$U_{ип1}$	Питание (—24 В)	

(поразрядно и со сдвигом на один разряд вправо), с ША, СХЛПС, РГСМ, РГП, с одинокого ВХ1 и передает ее на РГСМ и СХПС.

Восьмиразрядный регистр-сумматор, предназначенный для выполнения операций над его содержимым и данными, поступающими с ШО, принимает информацию с ШО и ШМК. Прием инвертированного сигнала с ШМК в РГСМ производится при ШО в состоянии 1 и при наличии микрокоманды РГСМ-ШОШМК [0—7] *). При наличии микрокоманды БЛ РГСМ содержимое РГСМ принимается равным 0.

Для быстрого формирования сигналов переноса при суммировании содержимого РГСМ с поступающим на его вход с ШО словом, а также для прибавления к содержимому РГСМ единицы (01) или двойки (10) предназначена 8-разрядная схема логики переносов (СХЛПС). Перенос со СХПС передается в РГСМ через ШО. Значения СХПС и ВЫХПС формируются при наличии микрокоманды АКТИВ ПС путем корректи-

* В квадратных скобках указана последовательность разрядов.

ровки переносов, вырабатываемых в результате суммирования следующих чисел:

— значения ШО;

— значения РГСМ (задержанное на один такт);

— числа 00000001 при наличии 1 на ВХПС;

— числа 00000001 при наличии микрокоманды 1→→СХЛПС [7];

— числа 00000010 при наличии микрокоманды 10→→СХЛПС [6, 7].

При отсутствии микрокоманды АКТИВ ЛПС перенос перед корректировкой распространяется в обратном направлении в те разряды СХЛПС, для которых одновременно новое (задержанное на один такт) значение РГСМ равно 1 и значение переноса в предшествующем слева разряде равно 1.

Четырехразрядная схема выработки признаков (СХПН) используется для выработки признаков операций в РГСМ.

Таблица 2.4

Значения разрядов РГСД		Операции сдвига
[0]	[1]	
0	0	Отсутствие сдвига
0	1	Арифметический сдвиг
1	0	Логический сдвиг
1	1	Циклический сдвиг

Для фиксирования признаков выполнения операций, приема и хранения информации с ШИ, ШМ, РГОШ предназначен 4-разрядный регистр признаков. Запись признаков в соответствующие разряды РГПН и прием информации с ШИ, ШМК (задержанной на один такт) и РГОШ производятся в соответствии с кодом микрокоманды. Фиксация сигналов ошибки, вырабатываемых схемой контроля, происходит в двухразрядном регистре ошибок (РГОШ). Сигнал ошибки формируется СХКТ при наличии 1 в ШМК [Р] и при нечетном числе единиц в коде ШМК.

Выходы РГОШ поступают на схему сборки ошибок, вырабатывающую одноразрядный сигнал, передаваемый на выход ШКТ при ненулевом содержимом РГОШ.

Двухразрядный регистр сдвига предназначен для организации операций сдвига. Информация в РГСД записывается с ШМК в соответствии с табл. 2.4.

Дешифратор микрокоманд формирует коды микрокоманд, которые осуществляют все действия по приему, выдаче и обработке информации в АЛУ. Эти микрокоманды вырабатываются ДШМК из кода микрокоманды, поступающего на его вход с ШМК при наличии сигналов с ШМК [Р, 8], ВМ и по содержимому РГСД.

Арифметико-логическое устройство может обеспечить байтовую обработку 16-разрядных слов. Восемь первых разрядов слова подаются на ШИ, восемь следующих — на ША, адрес слова при этом вырабатывается в других БИС АЛУ.

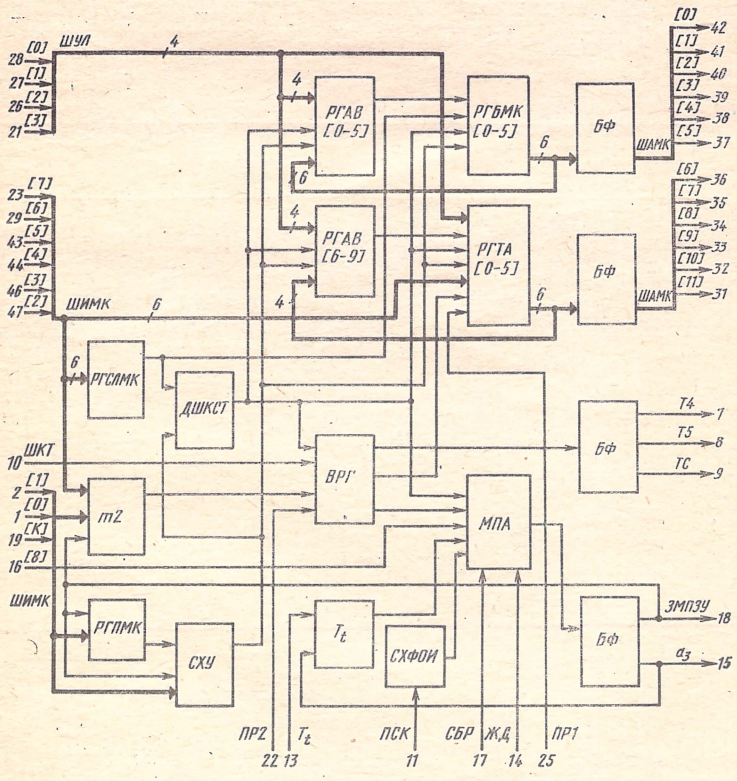


Рис. 2.2. Структурная схема БИС микропрограммного устройства К536ИК8

Для организации совместной работы двух БИС при выполнении действий над 16-разрядными словами используется вход ВМ. В этом случае на вход ВМ правой БИС, обрабатывающей младший байт, подается 1, а на вход ВМ левой БИС, обрабатывающей второй байт, — 0, ВЫХПС правой БИС соединяется со ВХПС левой, а на вход ВХПС правой подается 0.

Микропрограммное устройство МПУ К536ИК8 (бК0.348.340 ТУ1) предназначено для управления работой микропроцессора. Оно обеспечивает формирование адресов микрокоманд и выборку микрокоманд из микропрограммного запоминающего устройства (МПЗУ).

Корпус микросхемы К536ИК8 имеет 48 выводов, назначение каждого вывода приведено в табл. 2.5. Структурная схема приведена на рис. 2.2. МПУ соединяется с МПЗУ адресными шинами микрокоманд (ШАМК), шиной запроса (ЗМПЗУ), микропроцессором информа-

Таблица 2.5

Номер вывода	Обозначение	Наименование	Примечание
1, 2, 16, 23, 29, 43, 44, 46, 47	ШИМК	Шина информационной микрокоманды	Вход
3—6, 45	С	Синхроимпульсы 2, 4, 5, 3, 1	Вход
7, 8	Т	Служебный триггер (4, 5)	Выход
9	ТС	Триггер синхронизации	Выход
10	ШКТ	Шина контроля	Вход
11	ПСК	Пуск	Вход
12	⏚	Общий	
13	$\overline{T_t}$	Таймер	Вход
14	ЖД	Сигнал ожидания	Вход
15	$a_з$	Состояние автомата	Выход
17	СБР	Сброс	Вход
18	ЗМПЗУ	Запрос ЗУ микропрограмм	Выход
19	ШИМК[КТ]	Шина информационной микрокоманды [контрольный разряд]	Вход
20	ВХС	Синхроимпульс	Вход
21, 26, 27, 28	ШУЛ	Шина условий	Вход
22	ПР2	Прерывание 2	Вход
24	$U_{ип2}$	Питание (0—1,5 В)	
25	ПР1	Прерывание 1	Вход
30	С4′	Синхроимпульс 4′	Вход
31—42	ШАМК	Шина адреса микрокоманд	Выход
48	$U_{ип1}$	Питание (—24 В)	—

ционными шинами микрокоманд (ШИМК), шиной условий (ШУЛ), сигналов контроля (ШК). Кроме того, в МПУ поступают сигналы ожидания (СОж), прерываний (ПР1, ПР2), пуска (ПСК) и сброса (СБР).

В состав МПУ входят: регистр текущего адреса (РГТА), регистр базы микрокоманды (РГБМК), регистр адреса возврата (РГАВ), регистр служебных микрокоманд (РГСЛМК), регистр предыдущей микрокоманды (РГПМК); дешифратор констант (ДШКСТ), сумматор по модулю 2 ($m2$), вспомогательный регистр (ВРГ); схема формирования одиночного импульса — сигналов ПУСК (СХФОИ), схема формирования сигналов таймера (T_t), схема формирования управляющих сигналов (СХУ); микропрограммный автомат (МПА).

Регистры РГБМК и РГТА используются для формирования и хранения 12-разрядного адреса следующей микрокоманды. Старшие шесть разрядов адреса [0—5] (база адреса) размещаются в РГБМК. База адреса не меняется при микрокомандах ДЕЙСТВИЕ (Д), УСЛОВНЫЙ ПЕРЕХОД (УП), ЗАПИСЬ КОНСТАНТЫ (ЗК) и ВЫПОЛНЕНИЕ КОНСТАНТЫ (ВК) в случае, если константа, управляемая регистром, не равна d — константе возврата. При микрокомандах безусловный переход с запоминанием (БПЗ), безусловный переход (БП) происходит смена базы адреса, т. е. в РГБМК записывается содержимое РГСЛМК. Младшие шесть разрядов адреса [6—11] — текущий адрес располагаются в РГТА. Текущая часть адреса следующей микрокоманды в РГТА заносится с ШИМК, кроме микрокоманды ЗК, где блокируется запись информации с ШИМК в РГТА, и осуществляется переход к ячейке, соседней с той, где расположена константа. При формировании текущей части адреса следующей микрокоманды в случае наличия микрокоманды УП или БП в младшие четыре разряда РГТА дизъюнктивно записываются ШИМК [2—7] и ШУЛ [0—3].

Десятиразрядный регистр адреса возврата необходим при выполнении безусловного перехода с запоминанием адреса микрокоманды, с которой был осуществлен уход на микропрограмму. При микрокоманде БПЗ содержимое РГБМК заносится в старшие шесть разрядов РГАВ, а содержимое РГТА [0—3] — в младшие разряды РГАВ, куда может заноситься и информация с ШУЛ. Новое содержимое РГАВ при этом формируется четвер-

ками разрядов ШУЛ, а из третьей четверки используются только два старших разряда, которые переписываются в РГАВ [8, 9].

Для записи информации с ШИМК, хранения и выдачи в РГБМК базы адреса микрокоманды или записи и хранения константы в течение одного такта служит 6-разрядный регистр служебных микрокоманд (РГСЛМК).

Двухразрядный регистр предыдущей микрокоманды (РГПМК) введен для обеспечения выполнения микрокоманд ЗК, ВК, УП и БП, т. е. для выделения и запоминания ситуации, когда код текущей микрокоманды 00, а код предыдущей микрокоманды отличен от него.

Схема формирования управляющих сигналов вырабатывает сигналы управления пересылками информации между регистрами РГБМ, РГТА, РГСЛМК, РГАВ. Дешифратор констант (ДШК) служит для расшифровки констант, с помощью которых осуществляются некоторые операции с содержимым регистров внутри МПУ.

Таблица 2.6

Код РГСМ	Условное обозначение констант	Действия
01	*a*	РГАВ [4—7]: = ШУЛ [03]
02	*b*	РГАВ [0—3]: = ШУЛ [0—3]
03	*c*	РГАВ [8—9]: = ШУЛ [0, 1]
04	*d*	РГБМК [0—5]: = РГАВ [0—5]
		РГТА [0—3]: = РГАВ [6—9]
		РГТА [4, 5]: = ШИМК [6, 7]
07	*g*	РГТА [4]: = ПР1
		РГТА [5]: = ТПР
08	*h*	Т1: = 0
09	*i*	ТБЛ1: = 0
0A	*j*	ТБЛ1: = 1
0B	*k*	ТО: = 0
0C	*l*	ТС: = 1
0D	*m*	ТС: = 0
0E	*n*	a_7: = 0, a_2: = 0
0F	*o*	ТБЛ2: = 1
10	*p*	ТБЛ2: = 0
1A	*q*	РГТА [5]: = ТС
11	*r*	Т4: = 1
12	*s*	Т4: = 0
15	*v*	Т5: = 1
16	*w*	Т5: = 0

Значения констант приведены в табл. 2.6. Контроль на нечетность поступающей с ШИМК информации производится в сумматоре ($m2$).

Вспомогательный регистр (ВРГ) содержит семь триггеров: Т1, ТБЛ1, ТБЛ2, Т4, Т5, ТС и ТПР2, — каждый из которых имеет свое назначение. Триггер Т1 служит для фиксации ошибок при передаче информации в МПУ и АЛУ, выявленной при свертке ШИМК [0—7]. Триггер ТБЛ1 введен для блокировки сигналов ошибок при передаче информации в АЛУ и МПУ, т. е. для блокировки условия Т1-1, для возможности обработки микрокоманды диагностики. Для долговременной блокировки ЖД (т. е. прерывания программы другим МП) в местах программы или микропрограммы, где прерывание невозможно, введен триггер ТБЛ2.

Триггеры ТС, Т4, Т5 служат для управления дополнительными устройствами (не предусмотренными в данном МП) с помощью микрокоманд; Т4 и Т5 могут быть использованы по усмотрению пользователя для увеличения разрядности адреса ЗУ, МПЗУ либо как сигнал блокировки отдельных БИС.

Триггер синхронизации (ТС) служит для записи, хранения и выдачи в течение определенного времени сигнала, воспринимаемого другим МП как ЖД.

Триггер ТПР2 предназначен для записи, хранения и выдачи в РГТА [5] информации о запросе прерывания. Второй запрос прерывания поступает в РГТА [4] извне.

Для выработки сигнала T_t при микропрограммном прерывании работы МПУ по сигналу ЖД введена схема формирования сигнала таймера. Схема формирования сигнала ПСК служит для получения и последующей выдачи в МПА одиночного импульса запуска.

Микропрограммный автомат (МПА) предназначен для формирования сигналов ЗМПЗУ, пуска, останова, фиксированного адреса начала микропрограммы, диагностики при задержке снятия сигнала ЖД, а также для выработки реакции: на появление ошибок в МПУ, АЛУ, выражающейся в установлении одного из двух фиксированных адресов, по которым хранятся начала двух микропрограмм при обработке ошибок, на появление запроса от другого МП (ЖД), на ошибки и на ЖД при соответствующих сигналах блокировки. МПА представляет собой распределитель констант состояний,

где каждому состоянию (a_i) соответствует свой триггер.

Для организации работы двух МП на общее ЗУ введены ЖД и ТС. Сигнал ТС, вырабатываемый МПУ одного процессора, является сигналом ЖД для другого процессора и наоборот.

Работа МПУ происходит в соответствии с системой микрокоманд, приведенной в табл. 2.7.

Таблица 2.7

Микрокоманда			Действия
предыдущая	текущая	условное обозначение	
Любая	10	Д	РГТА [0—5] := ШИМК [2—7] ШАМК [0—5] := РГБМК [0—5] ШАМК [6—11] := РГТА [0—5]
ЗК	11	УП	РГТА [0—5] := ШИМК [2—7] $\wedge$ ШУЛ [0—3] ШАМК [0—5] := РГБМК [0—5] ШАМК [6, 7] := РГТА [0—5]
Любая	01	БПЗ	РГТА [0—5] := ШИМК [2—7] РГБМК [0—5] := РГСЛМК [0—5] РГАВ [0—5] := РГБМК [0—5] РГАВ [6—9] := РГТА [0—5] ШАМК [0—5] := РГБМК [0—5] ШАМК [6—11] := РГТА [0—5]
$\overline{ЗК}$	00	ЗК	РГСЛМК [0—5] := ШИМК [2—7] РГТА [5] := 0 РГТА [0—4] := РГТА [0—4] ШАМК [0—5] := РГБМК ШАМК [6—11] := РГТА [0—5]
ЗК	00	ВК	РГТА [0—5] := ШИМК [2—7] ШАМК [0—5] := РГБМК [0—5] ШАМК [6—11] := РГТА [0—5] Произвести действия, определяемые кодом, находящиеся в РГСЛМК в соответствии с табл. 2.5
ЗК	11	БП	РГТА [0—5] := ШИМК [2—7] $\wedge$ ШУЛ [0—3] РГБМК [0—5] := РГСЛМК [0—5] ШАМК [0—5] := РГБМК [0—5] ШАМК [6—11] := РГТА [0—5]

Буферные регистры К536ИР1 (бК0.348.340 ТУ1) служат для образования цифровых входов и выходов, связывающих микро-ЭВМ с внешними устройствами (ВУ), а также для организации системы прерывания программ по сигналам, поступающим от ВУ.

Таблица 2.8

Номер вывода	Обозначение	Наименование	Примечание
1	ЛУ	Признак логического умножения	Вход
2	ЛС	Признак логического сложения	Вход
3	ЗП	Запись	Вход
4	АРГ1	Адрес регистра цифрового выхода	Вход
5	АРГ2	Адрес регистра цифрового входа	Вход
6	ВМ	Выбор микросхемы	Вход
7	ОТВ	Ответ	Выход
8—10, 12, 14—18	ЦВХ	Вход цифровой	Вход
11	ОШВХ	Ошибка входа	Вход
13, 20—22, 30	С	Синхроимпульс (4, 5, 3, 1, 2)	Вход
19	ПНИ	Признак импульсной информации	Вход
23	$U_{ип1}$	Питание (—24 В)	
24	$U_{ип2}$	Питание (0—1,5 В)	
25	⊥	Общий	
26—29, 31, 43—46	ШВВ	Шины ввода — вывода	Вход/Выход
32—36, 39—42	ЦВЫХ	Выход цифровой	Выход
37	ПР	Прерывание	Выход
38	ОШОБМ	Ошибка обмена	Выход
47	СБР	Сброс	Вход
48	ЧТ	Считывание	Вход

Корпус микросхемы имеет 48 выводов, назначение каждого из выводов приведено в табл. 2.8. Структурная схема изображена на рис. 2.3. БИС состоит из следующих устройств: дешифратора обращений (ДШОБР), схемы записи (СХЗП), регистра цифровых выходов (РГ1), регистра цифровых входов (РГ2), схемы поразрядного формирования импульсов (СХФИ), коммутатора, схем считывания (СХЧ1 и СХЧ2), схемы поразрядного логического умножения (СХЛУ), схемы сравнения (СХСР), схем контроля (*m1—m3*).

Микросхема К536ИР1 выполняет следующие функции:

— принимает в РГ1 информацию, поступающую из микро-ЭВМ по ШВВ, и выдает ее по запросу на цифровые выходы (ЦВЫХ);

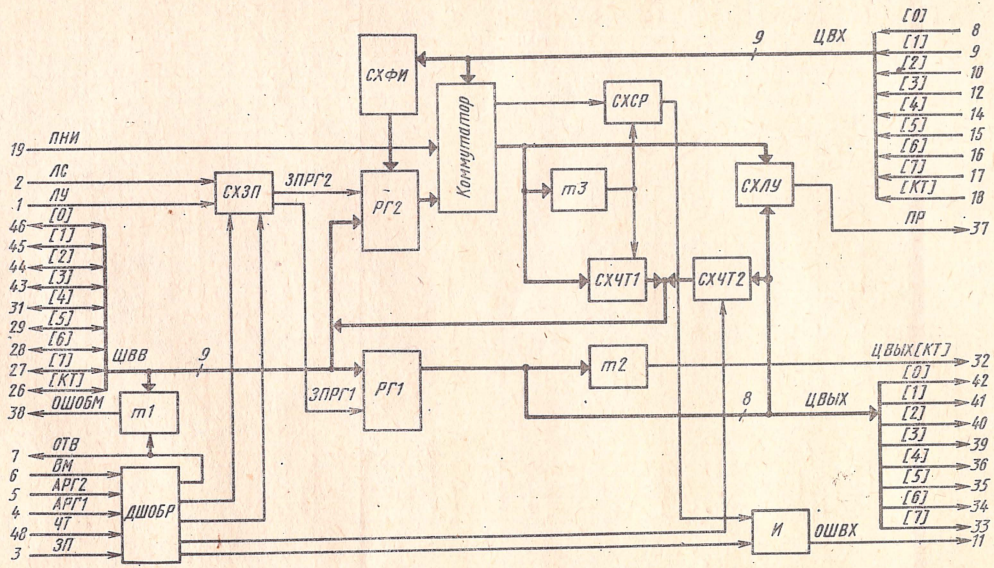


Рис. 2.3. Структурная схема БИС буферных регистров К536ИР1

— выдает информацию из РГ1 на ШВВ при микрокоманде ЧТ;

— принимает из ВУ информацию, поступающую на цифровые входы ЦВХ, фиксирует в РГ2 и выдает ее на ШВВ;

— принимает от ВУ сигналы прерывания программ, а с ШВВ — маску прерывания и вырабатывает сигнал прерывания при наличии незамаскированных прерываний (ПР).

Дешифратор обращений принимает сигналы управления от микро-ЭВМ, адресованные данной БИС, и управляет работой БИС. При обращении к цифровому входу или выходу ДШОБР вырабатывает сигнал ОТВ, который поступает и на схему контроля (*m1*) ввода — вывода, вырабатывающей сигнал ОШИБКИ ОБМЕНА (ОШОБМ). Восьмиразрядный регистр РГ1 служит для хранения кода, принятого от микро-ЭВМ с ШВВ, и выдачи информации на цифровые выходы в ВУ, а также на СХЧТ2. Контрольный разряд на его выходе формируется схемой контроля *m2*.

При поступлении сигнала ЧТ и адресов АРГ1, ВМ ДШОБР, вырабатывая сигнал считывания с РГ1, открывает СХЧТ2, через которую информация с РГ1 поступает на ШВВ в микро-ЭВМ. Регистр РГ2 служит для хранения кода, принятого от ВУ, с цифровых входов или с ШВВ от микро-ЭВМ.

Цифровые коды обеспечивают работу в двух режимах: импульсные входы с запоминанием; потенциальные входы без запоминания.

Режим цифровых входов задается сигналом ПНИ, который управляет коммутатором, позволяющим передавать сигналы с цифровых входов на ШВВ либо в обход РГ2, либо через РГ2. С коммутатора информация поступает на СХЧТ1, которая обеспечивает выдачу информации на ШВВ с цифровых входов.

Возможны два варианта считывания информации с цифровых входов в импульсном режиме: считывание с сохранением информации в РГ2 при наличии ЛУ; считывание со сбросом РГ2 без ЛУ.

Схема сравнения обеспечивает в необходимых случаях сброс содержимого РГ2 после считывания с него информации.

Схемы контроля (*m1—m3*) обеспечивают контроль нечетности числа единиц в байте, принятом от микро-

ЭВМ и ВУ, и формируют контрольный разряд и выдачу сигнала ошибки.

Если БИС используется в качестве регистра (или предрегистра) прерываний, то для приема сигналов прерывания служит РГ2, а для хранения маски прерываний — РГ1. Код маски прерываний с РГ1 и код с РГ2,

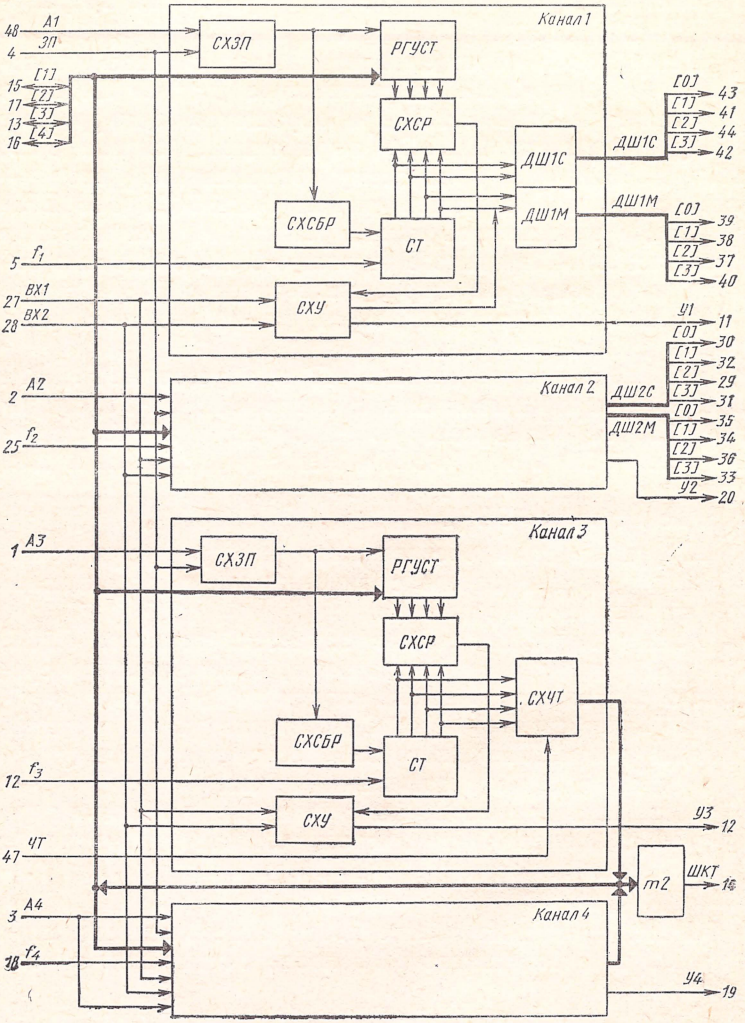


Рис. 2.4. Структурная схема БИС устройства ввода — вывода (таймер) К536ИК5

содержащий информацию о поступивших запросах на прерывания, поступает на схему поразрядного логического умножения СХЛУ, причем код маски предварительно инвертируется.

Устройство ввода — вывода (таймер) К536ИК5 (бК0.348.340 ТУ1) предназначено для формирования различных временны́х сигналов и может выполнять функции делителя, распределителя, задержки, модулятора, интерполятора.

Корпус микросхемы К536ИК5 имеет 48 выводов, назначение которых приведено в табл. 2.9. Структурная схема таймера представлена на рис. 2.4 и состоит из четырех каналов, в каждом из которых имеется:

— 4-разрядный счетчик (СТ) со схемой сброса (СХСБР), на вход которого поступают импульсы входной частоты;

— 4-разрядный регистр установки (РГУСТ) со схемой записи (СХЗП), в который записывается информация с входных контактов;

Таблица 2.9

Номер вывода	Обозначение	Наименование	Примечание
1—3, 48	А	Адрес	Вход
4	З	Импульс запроса к выходному устройству	Вход
5, 12, 18, 25	f	Частотный вход	Вход
6	$U_{\text{ип1}}$	Питание (—24 В)	
7		Свободный	
8, 21, 22, 45, 46	С	Синхроимпульс (2, 3, 5, 1, 4)	Вход
9	ОТВ	Ответ	Выход
11, 12, 19, 20	У	Управление	Выход
13, 15—17	ВХ/ВЫХ	Вход/выход	Вход/выход
14	ШКТ	Контроль	Выход
23	СБР	Сброс	Вход
24	$U_{\text{ип2}}$	Питание (0—1,5 В)	
26	⊥	Общий	
27, 28	$\overline{\text{ВХ}}$	Вход задания режима	Вход
29—32	ДШ2С	Старшая ступень дешифратора канала 2	Выход
33—36	ДШ2М	Младшая ступень дешифратора канала 2	Выход
7—40	ДШ1М	Младшая ступень дешифратора канала 1	Выход
41—44	ДШ1С	Старшая ступень дешифратора канала 1	Выход
47	ЧТ	Считывание	Вход

— схема сравнения, на выходе которой появляется сигнал, если код в счетчике равен коду в регистре установки;

— схема управления, управляющая работой всех элементов канала.

Кроме того, счетчики каналов 1 и 2 имеют дешифраторы (ДШ1С, ДШ1М, ДШ2С, ДШ2М), что позволяет использовать эти каналы как распределители. В каналах 3 и 4 имеется возможность считывать текущие значения кода в счетчиках, используя схему считывания (СХЧТ).

Таблица 2.10

Режим	ВХ1	ВХ2
Деление	С2	⊥
Распределение	⊥	⊥
Задержка	С4	⊥
Модуляция	⊥	$\overline{С4}$
Интерполяция	$\overline{С4}$	С4

Режим работы микросхемы задается соединением выводов ВХ1 и ВХ2 к синхроимпульсам согласно табл. 2.10.

В режиме деления микросхема имеет четыре независимых канала деления частоты. Входами делителей являются входные частоты (f), а выходами — выходы У СхУ. Каждый из каналов обеспечивает деление входной частоты на определенный коэффициент, соответствующий входному коду РГУСТ. На выходе СхУ вырабатываются одиночные импульсы длительностью равной длительности синхроимпульсов С4, а частота следования равна входной частоте, деленной на записанный коэффициент деления. При коде 0000 коэффициент деления равен 16.

В режиме распределения работают два канала (1 и 2) распределителя входных импульсов и два канала (3 и 4) делителя частоты с коэффициентом деления 10.

В режиме задержки во всех четырех каналах происходит задержка сигналов в пределах 1—16 периодов входной частоты. Выходной сигнал (У1—У4) включается в моменты записи требуемого кода в РГУСТ и выключается по истечении заданного интервала времени или числа входных импульсов.

В режиме модуляции на выходах СхУ всех четырех каналов вырабатываются импульсы с периодом, равным 16 периодам входной частоты канала, а соотношение длительностей сигналов 0 и 1 определяется записанным коэффициентом — кодом в РГУСТ, вследствие чего осуществляется широтно-импульсная модуляция.

Таблица 2.11

Номер вывода	Обозначение	Наименование	Примечание
1, 3, 5, 6, 10, 13, 25, 17, 18, 19, 20, 28—31, 33, 35, 37, 40, 42—44, 48	—	Свободные	—
2, 4, 21	$U_{пп}$	Питание (—24 В)	
7—9, 11, 12, 14, 16	С	Синхроимпульсы для МП и УВВ	Выход
15, 22, 24	⊥	Общий	
23	$\overline{У}$	Управление частотой генерирования	Вход
26, 27	РЕГ	Регулировка длительности	Вход
32, 45, 46		синхроимпульсов	
34, 39, 41	$\varphi_б$	Сигнал управления импульсом биполярного транзистора	Выход
36, 38, 46	φ	Синхроимпульс для ЗУ	Выход

В режиме интерполяции производится преобразование 8-разрядного параллельного двоичного кода в последовательный число-импульсный код, в котором заданное число импульсов равномерно распределено в интервале, составляющем 256 периодов входной частоты. Один интерполятор образован каналами 1 и 2, другой — каналами 3 и 4 БИС. Запись преобразуемого кода в РГУСТ производится по четыре разряда за два обращения. Работа интерполятора происходит в стартстопном режиме.

Генератор — распределитель синхроимпульсов К536ГГ1 (бК0.348.340 ТУ3)—формирует синхроимпульсы для МП, УВВ и ЗУ. Корпус микросхемы имеет 48 выводов, назначение которых дано в табл. 2.11. Структурная схема представлена на рис. 2.5. БИС состоит из мультивибратора, триггера со счетным входом, распределителя-формирователя синхроимпульсов, буферных усилителей синхроимпульсов для МП и УВВ, формиро-

вателя синхроимпульсов и буферных усилителей для ЗУ.

Основным задающим генератором в БИС является мультивибратор, частота которого от 100 кГц до 1 МГц устанавливается сигналом управления частотой (У).

Распределитель-формирователь служит для формирования семи синхроимпульсов. Распределительное устройство выполнено на регистрах сдвига с конденсаторной обратной связью между каскадами. Формирование синхроимпульсов происходит с помощью триггеров. Формирователь синхроимпульсов для ЗУ состоит из од-

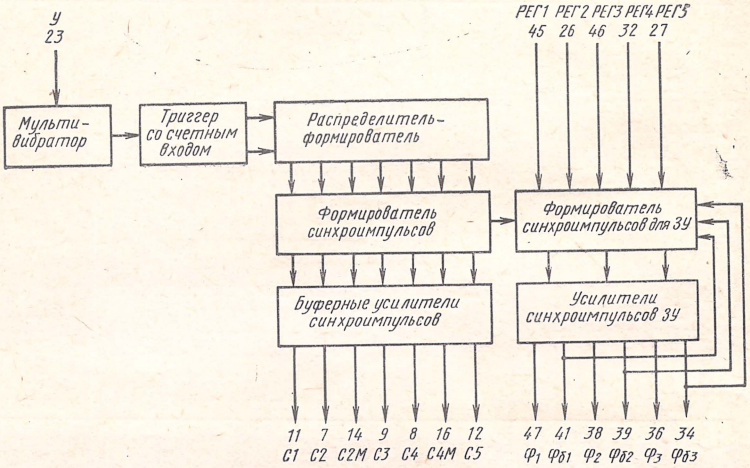


Рис. 2.5. Структурная схема ИС генератора — распределителя синхроимпульсов К536ГГ1

новибраторов, запускаемых синхроимпульсами С2 и С4. Для регулировки длительности синхроимпульсов для ЗУ (φ_1, φ_2, φ_3) и промежутков между ними служат сигналы РЕГ.

Усилители синхроимпульсов выполнены по схеме с многопетлевыми положительными обратными связями и включают схемы удвоения напряжения и двухтактные выходные каскады. Усилители позволяют осуществлять прямую связь с подключаемыми извне платами МП, УВВ и ЗУ.

Основные характеристики микросхемы К536ГГ1:

Частота синхроимпульсов, кГц . . не более 100
Длительность синхроимпульсов, мкс:

С1 и С3	не более 1,5, не менее 1,1
С2 и С4	не более 3,2, не менее 2,8
С2М и С4М	не более 4,4, не менее 3,4
С5	не более 3,8, не менее 3,3
φ_1 и φ_2	не более 0,8, не менее 0,4
φ_3	не более 1,0, не менее 0,6
Длительность перехода $t_C^{0,1}$, $t_C^{1,0}$, мкс	не более 0,6
Длительность перехода $t_{\varphi_1, \varphi_2, \varphi_3}^{0,1}$, $t_{\varphi_1, \varphi_2, \varphi_3}^{1,0}$, мкс	не более 2
Потребляемая мощность, Вт	не более 1,0
Сопротивление нагрузки, кОм	не менее 500
Емкость нагрузки, пФ	
$C_{н1}$	не более 100
$C_{н2}$	не более 300

Буферное устройство К536УИ2 (бК0.348.340 ТУ2) является шинным усилителем с запоминанием информации (ШУЗИ) и предназначено для усиления сигналов напряжения в линиях связи с емкостью до 300 пФ и промежуточного запоминания информации. Корпус микросхемы К536УИ2 имеет 24 вывода, назначение которых приведено в табл. 2.12.

Структурная схема ШУЗИ изображена на рис. 2.6. Усилитель состоит из шести независимых каналов усиления и формирует шесть сигналов напряжения для буферных усилителей БИС с модулируемым выходным сопротивлением. Каждый из шести каналов ШУЗИ состоит из основного инвертирующего усилителя предварительного заряда (УСПЗ), схемы фиксации уровня (СХФУР), триггера, схемы считывания (СХЧТ).

Основной инвертирующий усилитель (ОУС) с двухтактным выходным каскадом в зависимости от сигнала У работает в режиме инвертирования сигнала или в режиме отсечки линии связи от входного сигнала (бесконечное выходное сопротивление усилителя). Выходной усилитель ОУС обеспечивает полный перепад напряжения на выходе.

Ко входу ОУС подключен выход инвертирующего усилителя предварительного заряда емкости входной цепи УСПЗ. Входная емкость не должна превышать 50 пФ. УСПЗ заряжает эту емкость до $U_{ип}$ напряжения источ-

ника питания при подаче сигнала ПЗ, равного 0. При сигнале ПЗ, равном 1, УСПЗ отключается от входа ОУС. Вход основного усилителя ОУС в этот момент подключен к шине источника питания через схему СХФУР. СХФУР осуществляет хранение информации на емкости шины, компенсируя токи утечки и помехи, и в то же время она не нагружает открытые выходные буферные транзисторы логических БИС, так как при напряжении

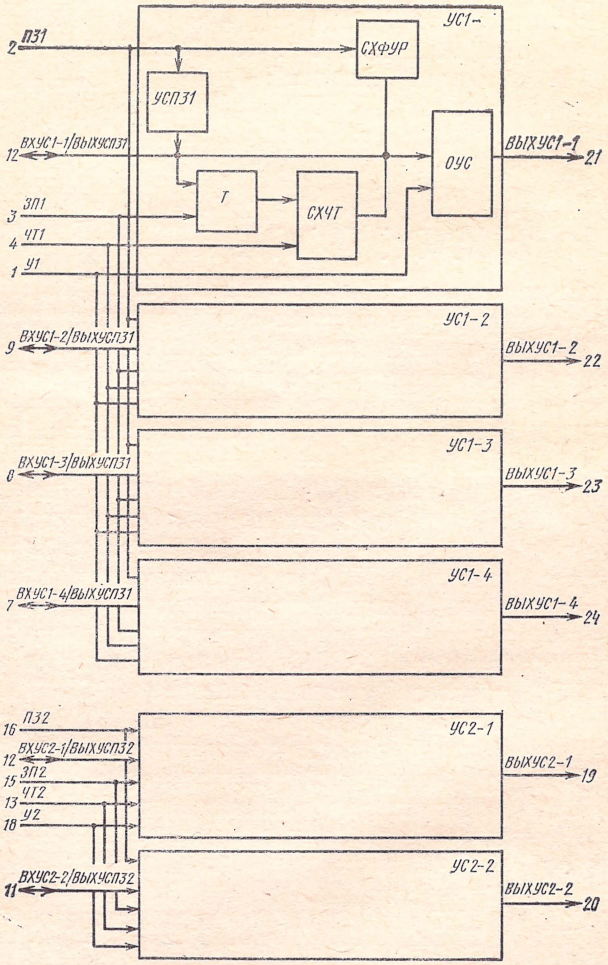


Рис. 2.6. Структурная схема ИС буферного устройства К536УИ2

Таблица 2.12

Номер вывода	Обозначение	Наименование	Примечание
1	У	Управление усилителей 1-й группы	Вход
2	ПЗ1	Предварительный заряд усилителей 1-й группы	Вход
3	ЗП1	Запись усилителей 1-й группы	Вход
4	ЧТ1	Считывание усилителей 1-й группы	Вход
5	$U'_{\text{ип1}}$	Питание усилителей 1-й группы (—24 В)	
6	⊥	Общий	
7—10	ВХУС1/ВЫХУСПЗ1	Вход усилителя 1-й группы/выход предварительного заряда усилителей 1-й группы	Вход/выход
11, 12	ВХУС2/ВЫХУСПЗ2	Вход усилителя 2-й группы/выход предварительного заряда усилителей 2-й группы	Вход/выход
13	ЧТ2	Считывание усилителей 2-й группы	Вход
14	$U''_{\text{ип2}}$	Питание 1-го усилителя 2-й группы (—24,0 В)	
15	ЗП2	Запись усилителей 2-й группы	Вход
16	ПЗ2	Предварительный заряд усилителей 2-й группы	Вход
17	$U'''_{\text{ип3}}$	Питание 2-го усилителя 2-й группы (—24,0 В)	
18	У	Управление усилителями 2-й группы	Вход
19, 20	ВЫХУС2	Выход усилителей 2-й группы	Выход
21—24	ВЫХУС1	Выход усилителей 1-й группы	Выход

на входе, меньшем 16 В, ее сопротивление становится бесконечно большим. Триггер осуществляет запоминание информации при сигнале ЗП. Схема считывания производит считывание информации из Т в ОС2 при сигнале ЧТ.

Функции ШУЗИ в зависимости от комбинации входных сигналов приведены в табл. 2.13.

Шинный усилитель мощности К536УИ1 (бК0.348.340 ТУ2) предназначен для сопряжения его с внешними устройствами.

Таблица 2.13

У	ЗП	ЧТ	Функция
0	0	0	Запоминание на триггере
0	0	1	Считывание Т→ВЫХ
0	1	0	Запись ВХ→Т
0	1	1	Запрещенное действие
1	0	0	Инвертирование входного сигнала ВХ→ВЫХ
1	0	1	Считывание Т→ВЫХ (вход отключен)
1	1	0	ВХ→ВЫХ, ВХ→Т
1	1	1	Запрещенное действие

Корпус микросхемы имеет 24 вывода, назначение которых приведено в табл. 2.14. Структурная схема шинного усилителя мощности изображена на рис. 2.7. Усилитель мощности состоит из восьми управляемых инвертирующих усилителей и обеспечивает на выходах три состояния: «0», «1», «Обрыв».

Таблица 2.14

Номер вывода	Обозначение	Наименование	Примечание
1, 3, 5, 8, 13, 16	ВХУС	Вход информационный	Вход
2, 4, 7, 15, 18, 24	ВЫХУС	Выход информационный	Выход
6	⊥	Общий	
9, 11	ПЗ	Предварительный заряд усилителя	Вход
10, 23	$U_{ип}$	Питание (—24 В)	
14, 17	ВХУС/ВЫХУС	Вход/выход информационный	Вход/выход
19—22	У	Управление усилителями	Вход

Выходом БИС является МДП-ключ, обеспечивающий два состояния выхода «0» и «Обрыв», который равносилен «1» при подключении выхода БИС к шинному усилителю мощности, где расположены цепи предварительного заряда, определяющие режим входа информации.

Состояние «Обрыв» обеспечивается специальным управляющим сигналом. Шинный усилитель мощности обеспечивает вывод информации на внешние цепи с емкостью до 700 пФ.

Устройство управления ввода — вывода (УУВВ) К536ИК3 (бК0.348.340 ТУ1) осуществляет управление обменом информации между МП и оконечными устройствами ввода — вывода. УУВВ является многофункциональным устройством и может работать в качестве ре-

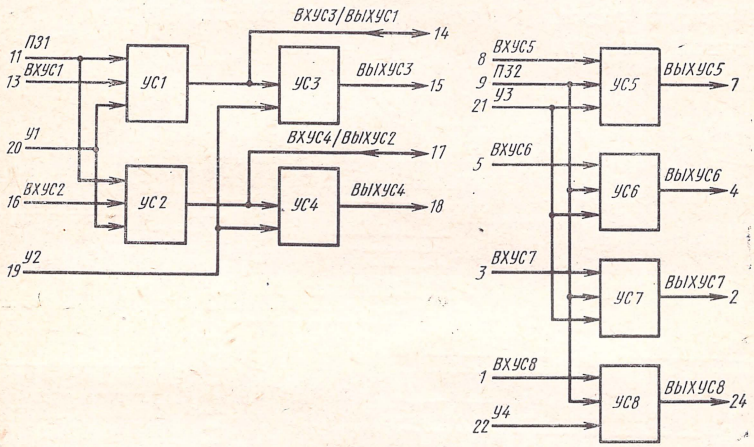


Рис. 2.7. Структурная схема ИС шинного усилителя мощности К536УИ1

гистра обмена (двустороннего действия), регистра с дешифратором или дешифратора. Микросхема размещена в 48-выводном корпусе. Назначение каждого вывода микросхемы приведено в табл. 2.15.

Структурная схема изображена на рис. 2.8. УУВВ состоит из следующих устройств: схемы приема и выдачи информации (СХПМВДИ), схемы контроля, дешифратора, регистра признаков (РГПН), коммутаторов регистра (КРГ) и дешифратора (КДШ), схем управления записью (СХУЗП) и считыванием (СХУЧТ).

Схема приема и выдачи информации служит для приема, хранения и выдачи информации как с МП, так и оконечных устройств ввода — вывода. Она состоит в основном из регистров и имеет восемь информационных разрядов и один контрольный.

Схема контроля состоит из сумматора по модулю 2, для контроля информации СХПМВДИ, схемы, задерживающей сигнал ВХЗП на время работы сумматора, и схемы совпадения, которая в случае четности единиц выдает сигнал ошибки ОШ.

Дешифратор имеет 4 входа и 16 выходов. В режиме дешифрации БИС обеспечивает дешифрацию 4-разрядного двоичного кода за один период тактовой частоты. В режиме работы регистра с дешифратором БИС обеспечивает запись из МП в СХПМВДИ и дешифрацию четырех разрядов двоичного кода за два периода тактовой частоты.

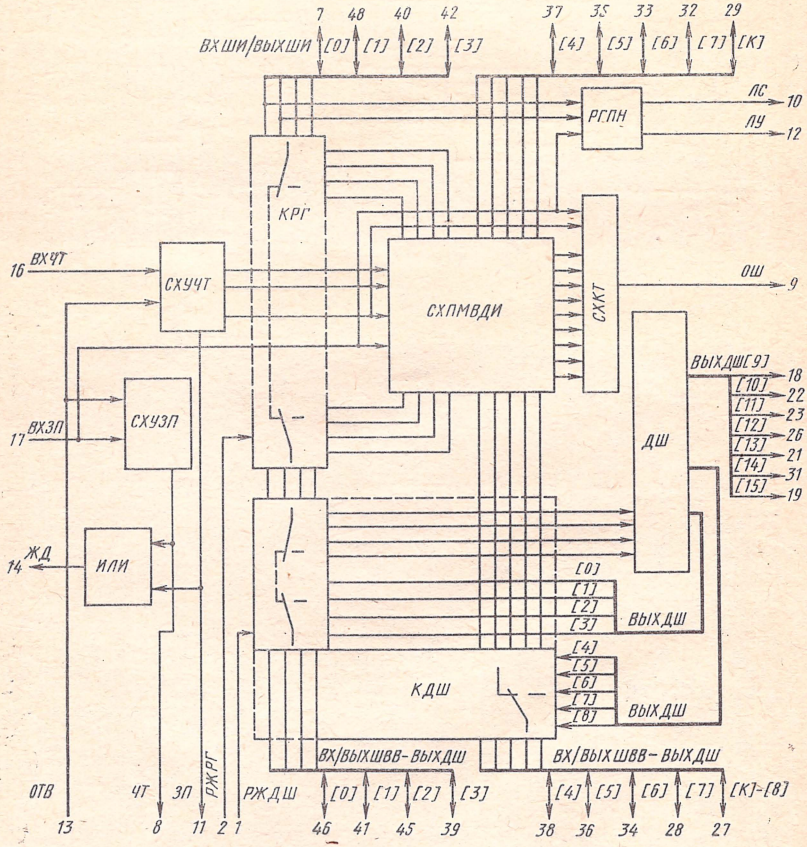


Рис. 2.8. Структурная схема БИС устройства управления ввода — вывода К536ИК3

Таблица 2.15

Номер вывода	Обозначение	Наименование	Примечание
1	РЖДШ	Режим дешифратора	Вход
2	РЖРГ	Режим регистра	Вход
3, 4, 15, 44, 43	С	Синхроимпульсы 3, 1, 2, 4, 5	Вход
5, 6, 20	—	Свободный	
7	$U_{ип1}$	Питание (—24 В)	
8	ЧТ	Считывание	Выход
9	ОШ	Ошибка	Выход
10	ЛС	Логическое сложение	Выход
11	ЗП	Запись	Выход
12	ЛУ	Логическое умножение	Выход
13	ОТВ	Ответ	Выход
14	ЖД	Ожидание	Выход
16	ВХЧТ	Вход считывания	Вход
17	ВХЗП	Вход запись	Вход
18, 22, 23, 26, 21, 31, 19	ВЫХДШ	Выход дешифратора	Выход
24	$U_{ип2}$	Питание (0—1,5 В)	
25	⊥	Общий	
27, 28, 34, 36, 39, 41, 45, 46	ВХ/ВЫХШ$\overline{ВВ}$—ВЫХДШ	Шина ввода—вывода — выход дешифратора	Вход/выход
29, 32, 33, 35, 37, 40, 42, 47, 48	ВХ/ВЫХШИ	Шина информационная	Вход/выход
30	СБР	Сброс	Вход

Регистр признаков используется для выдачи в УВВ признаков логического сложения (ЛС) и логического умножения (ЛУ), необходимых для работы микросхемы цифровых входов — выходов (К536ИР1), и принимает два разряда с ШИ одновременно с записью информации в СХПМВДИ.

Коммутатор регистра и коммутатор дешифратора предназначены для расширения функциональных возможностей БИС путем переключения потока информации из МП в оконечные устройства ввода — вывода и обратно в зависимости от значения сигналов ВХЗП, ВХЧТ, ОТВ и ЖД. Режим работы БИС задается сигналами РЖРГ и РЖДШ.

Схемы управления записью и считывания информации служат для выработки сигналов ЗП и ЧТ, передаваемых в УВВ. Сигнал ЗП готовит УВВ к приему информации в ШВВ и подается СХПМВДИ, обеспечивая выдачу принятого из микропроцессора байта на ШВВ. Сигнал ЧТ передается в УВВ для запроса информации в СХПМВДИ для приема ее с ШВВ. Сигналы ЗП и ЧТ формируют сигнал ЖД, который выдается в МП о принятии байта с ШВВ. Сигнал ОТВ сигнализирует о том, что байт воспринят УВВ, либо о поступлении байта с УВВ.

Таблица 2.16

Номер вывода	Обозначение	Наименование	Примечание
1	СИ1ПД/СИ1ПМ	Синхроимпульс 1-й передачи/синхроимпульс 1-го приема	Выход
2	ПР	Прерывание	Выход
3	ОШВХ	Ошибка входа	Выход
4, 5, 27, 28, 44	С	Синхроимпульсы 3, 4, 1, 5, 2	Вход
6—9, 11—14, 10	ВХКОД	Код	Вход
15	ЗП	Запись	Вход
16, 17, 19, 21, 22	ША	Адрес	Вход
18	ЧТ	Считывание	Вход
20	ОТВ	Ответ	Выход
23	ВЫХСИ1ПД	Синхроимпульс 1 передачи	Выход
24	$U_{\text{ип2}}$	Питание (0—1,5 В)	
25	С2ПМ	Синхроимпульс 2 приема	Выход
29	$U_{\text{ип1}}$	Питание (—24 В)	
30	⊥	Общий	
31	ДС/СС	Дать синхронизацию/снять синхронизацию	Выход
32	ВХСИ2ПД/ВЫХСИ2ПД	Синхроимпульс 2 передачи	Вход/выход
33	ВХ114	Цепь 114	Вход
34—37, 39—42, 38	ВЫХКОД	Код	Выход
43	РЖ	Режим	Вход
45	СБР	Сброс	Вход
46	ВХ104/ВЫХ103	Цепь 104/цепь 103	Вход/выход
47	ВЫХПД1/ПМ2	Передача 1/прием 2	Выход
48	ВХПМ1/ПД2	Прием 1/передача 2	Вход

Устройство ввода — вывода (УВВ) К536ИК4 (бК0.348.340 ТУ1) используется в качестве адаптера и предназначено для преобразования последовательного кода в параллельный 8-разрядный код, параллельного 8-разрядного кода в последовательный и для выработки синхроимпульсов для ввода и вывода импульсов данных последовательного кода.

БИС может быть использована в одном из двух режимов:

— в режиме приема — преобразование последовательного кода в параллельный или идентификация кодов принимаемой последовательности данных с одним наперед заданным 8-разрядным кодом;

— в режиме передачи — преобразование параллельного кода в последовательный.

Корпус микросхемы К536ИК4 имеет 48 выводов, назначение которых приведено в табл. 2.16. Структурная схема микросхемы К536ИК4 изображена на рис. 2.9. Связной адаптер состоит из регистра сдвига (РГСД), регистра установки (РГУСТ), буферного регистра (РГБФ), регистра кода операции (РГКДОП), схемы сравнения (СХСР), схемы управления (СХУ), генератора синхроимпульсов (ГСИ).

Девятиразрядный регистр сдвига служит для формирования байта, т. е. для преобразования последовательного кода в параллельный и параллельного в последовательный. Для записи информации со входов, на которые поступает наперед заданный параллельный код, предназначен 9-разрядный РГУСТ, а 9-разрядный буферный регистр (РГБФ) необходим для запоминания и выдачи информации либо на байтовые выходы (параллельный код), либо в РГСД.

Схема сравнения служит для сравнения содержимого в РГСД и РГУСТ. Для запоминания кода операции предназначен 9-разрядный регистр кода операции. Код операции определяет три способа обработки последовательности данных, поступающих в РГСД: запись в РГБФ только тех кодов, которые идентичны коду, записанному в РГУСТ, всех без исключения кодов и всех кодов, за исключением идентичных коду, записанному в РГУСТ.

В режиме преобразования последовательного кода в параллельный или идентификации последовательный код поступает на вход РГСД и заполняет его, продви-

гаясь от 0-го разряда к 7-му. Каждое состояние РГСД сравнивается с наперед заданным кодом РГУСТ в зависимости от кода операции в РГКДОП, может быть побайтно переписано или не переписано в РГБФ для передачи на байтовый выход. Если перепись осуществляется, микросхема вырабатывает сигнал ПР.

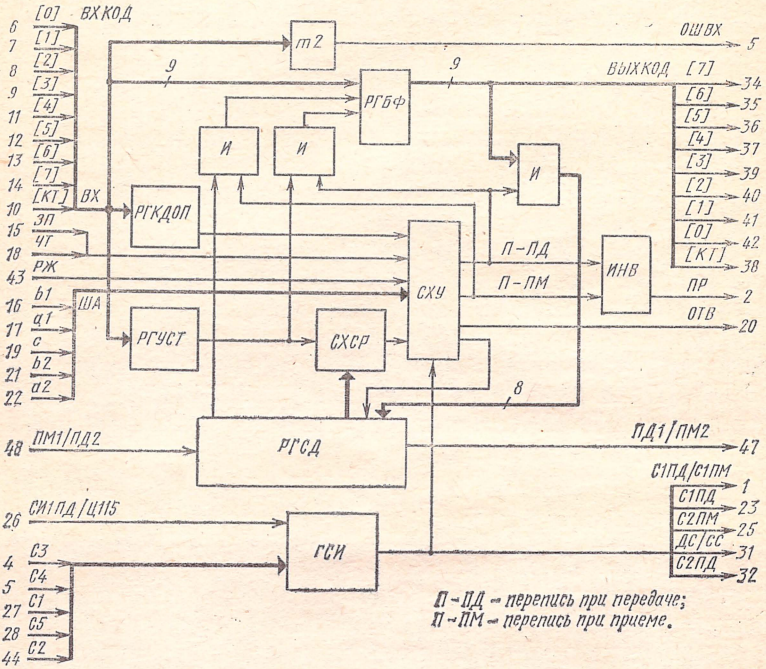


Рис. 2.9. Структурная схема БИС устройства ввода — вывода К536ИК4

Преобразование параллельный код — последовательный происходит, когда содержимое РГСД передается поразрядно, начиная с разряда 7 по нулевой на последовательный выход (ПД1/ПМ2). При выходе из РГСД нулевого разряда очередного параллельного кода производятся перепись кода из РГБФ в РГСД, из РГУСТ в РГБФ и выработка импульса ПР, после чего вновь начинается передача содержимого РГСД на последовательный выход микросхемы. Если в промежутке между импульсами ПР не будет записан новый байт в РГБФ, то при очередной переписи РГБФ→РГСД в РГСД окажется байт РГУСТ.

Синхроимпульсы вырабатываются генератором синхроимпульсов (ГСИ) микросхемы при наличии двух сигналов синхронизации.

Универсальный счетчик — адаптер параллельно-последовательного действия К536ИК7 (бК0.348.340 ТУ1) — предназначен для управления устройствами селекторного канала и может быть применен для деления частоты на произвольно заданные коэффициенты деления, формирования фазо- и широтно-модулируемых импульсных сигналов, произвольно задаваемых интервалов времени, параллельного ввода и вывода информации, счета импульсов и построения различных счетчиков и накопительных устройств, преобразования последовательного кода в параллельный и наоборот, поиска в преобразуемой информации заданных кодовых комбинаций и др.

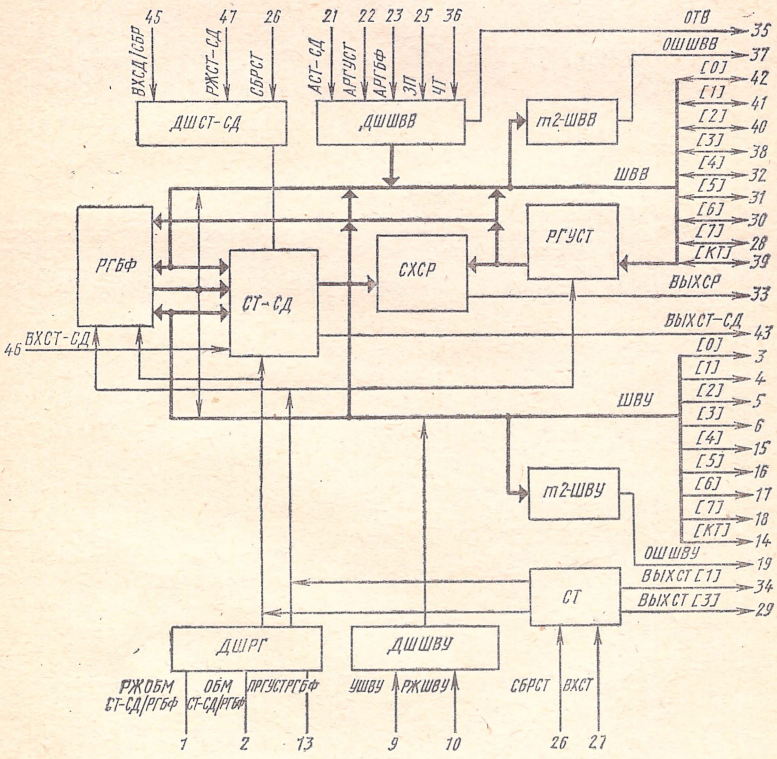


Рис. 2.10. Структурная схема БИС универсального счетчика К536ИК7

Таблица 2.17

Номер вывода	Обозначение	Наименование	Примечание
1	РЖОБМСТ-СД/РГБФ	Режим обмена между счетчиком-сдвигателем и буферным регистром	Вход
2	ОБМСТ-СД/РГБФ	Обмен между счетчиком-сдвигателем и буферным регистром	Вход
3—6, 15—18, 14	ШВУ	Информационная шина внешних устройств	Вход/выход
8, 11, 44	С	Синхроимпульсы 2, 3, 1, 4	Вход
9	УШВУ	Управление шины внешних устройств	Вход
10	РШВУ	Режим шины внешних устройств	Вход
12	⊥	Общий	
13	ПРГУСТ/РГБФ	Перепись из регистра установки в регистр буферный	Вход
19	ОШШВУ	Ошибка на шине внешних устройств	Вход
20	СБР	Сброс	Вход
21	АСТСД	Адрес счетчика-сдвигателя	Вход
22	АРГУСТ	Адрес регистра установки	Вход
23	АРГБФ	Адрес регистра буферного	Вход
24	$U_{ип2}$	Питание (0—1,5 В)	
25	ЗП	Запись	Вход
26	СБРСТ	Сброс счетчика	Вход
27	ВХСТ	Счетчика	Вход
28, 30—32, 38, 40—42, 39	ШВВ	Шина ввода—вывода	Вход/выход
29, 34	ВЫХСТ	Счетчик	Выход
33	ВЫХСР	Сигнал сравнения входов счетчика-сдвигателя и регистра установки	Выход
35	ОТВ	Ответ/конец записи или считывания	Выход
36	ЧТ	Считывание	Вход
37	ОШШВВ	Ошибка на шине ввода—вывода	Выход
43	ВЫХСТ-СД	Выход счетчика/сдвигателя	Выход

Продолжение табл. 2.17

Номер вывода	Обозначение	Наименование	Примечание
45	ВХСД/СБР	Сдвиг/сброс счетчика сдвигателя	Вход
46	ВХСТ-СД	Счетчик-сдвигатель	Вход
47	РЖСТ-СД	Режим счетчика-сдвигателя	Вход
48	ВМ	Выбор микросхемы	Вход

Корпус микросхемы К536ИК7 имеет 48 выводов, назначение которых приведено в табл. 2.17. Структурная схема БИС представлена на рис. 2.10.

Микросхема состоит из шины ввода — вывода (ШИВВ), шины внешнего устройства (ШВУ), счетчика-сдвигателя (СТ-СД), регистра буферного (РГБФ), регистра установки (РГУСТ), схемы сравнения (СХСР), дешифраторов (ДШШВВ, ДШШВУ, ДШСТ-СД, ДШРГ), формирователя импульсов синхронизации (ФСИ), сумматора по модулю 2 (*m2* — ШВВ и *m2* — ШВУ), счетчика (СТ).

Счетчик-сдвигатель — это 8-разрядная схема, которая в зависимости от выполняемой функции может производить: счет импульсов на сложение и на вычитание, сдвиг информации в направлении от нулевого разряда к 7, от разряда 7 к нулевому. СТ-СДВ позволяет производить запись или считывание байта через 9-разрядную ШВВ и 9-разрядную ШВУ, а также обмен байтами с РГБФ. 8-разрядный буферный регистр предназначен для хранения информации во время счета или преобразований кодов в СТ-СД, записи и считывания байта с ШВВ и ШВУ, обмена байтами со СТ-СД и приема информации из РГУСТ. 8-разрядный регистр установки РГУСТ хранит байт — идентификатор кода СТ-СД, запись или считывание байта производятся с ШВВ. Поразрядное сравнение байта РГУСТ с каждым байтом СТ-СД, полученным в результате преобразований, счета или записи, производит 8-разрядная СХСР. В случае равенства кодов РГУСТ и СТ-СД выдается сигнал СРАВНЕНИЕ. Дешифратор обращения ДШШВВ предназначен для управления вентилями записи и считывания информации с ШВВ. ДШШВУ предназначен для управления обменом между ШВУ и СТ-СД или ШВУ и РГБФ. ДШСТ-СД

предназначен для управления СТ-СД. ДШРГ предназначен для управления обменом между регистрами. Суммирующие устройства *m2*(ШВВ) и *m2*(ШВУ) предназначены для контроля информации, поступающей по ШВВ и ШВУ. 3-разрядный счетчик (СТ) осуществляет счет до восьми. Сигнал переполнения СТ используется для управления операциями обмена между СТ-СД и РГБФ, РГУСТ и РГБФ при преобразованиях в РГСТ-СД.

Центральным узлом микросхемы является универсальный регистр СТ-СД. Если задан режим счетчика, то СТ-СД во взаимодействии с РГУСТ через СХСР обеспечивает выполнение микросхемой следующих функций: деление входной частоты, фазоимпульсная модуляция, широтно-импульсная модуляция (при этом используется также СТ), формирование интервалов времени (при этом необходим внешний вентиль). Входная частота для работы счетчика подается на вывод ВХСТ-СД.

Преобразование последовательного кода в параллельный и обратно выполняется микросхемой в режиме, когда СТ-СД является регистром сдвига. При этом РГБФ используется для хранения байта, СТ — для отчета числа сдвигов, а РГУСТ со СХСР — для поиска в преобразуемой информации заданных кодовых комбинаций.

При делении частоты СТ-СД задается режим сложения, сигнал СРАВНЕНИЕ подается на вход СБР-СТ, а в РГУСТ заносится коэффициент деления. СТ-СД накапливает импульсы входной частоты, когда содержимое счетчика сравнивается с содержимым РГУСТ, т. е. когда число поступивших со входа импульсов равно коэффициенту деления, появляется сигнал сравнения, который и является выходным. Этот сигнал сбрасывает СТ, и начинается новый цикл. Коэффициент деления может быть любым в пределах 1—256 (коэффициент 256 получается при нулевом коде в РГУСТ). Для получения коэффициента деления больше 256 необходимо объединить две микросхемы.

Для фазоимпульсной модуляции сигнал СРАВНЕНИЕ на СБРСТ не подают. При этом на выходе ВЫХСТ-СД образуются импульсы, имеющие частоту, в 256 раз меньшую входной частоты, и являющиеся импульсами с нулевой фазой. Фазомодулируемые импульсы снимаются с выхода СРАВНЕНИЕ. Коэффициент

фазовой модуляции заносится в РГУСТ. Дискретность задания коэффициента модуляции составляет 360°/256. В зависимости от целей, для которых используется фазоимпульсная модуляция, может оказаться удобным устанавливать счетчик СТ-СД в режим считывания.

Для широтно-импульсной модуляции дополнительно используется один разряд 3-разрядного СТ. На ВХСТ подается сигнал ВЫХСТ-СД, на СБРСТ — сигнал ВЫХСР. Широтно-импульсная модуляция снимается с ВЫХСТ [1]. Частота широтноимпульсной модуляции составляет 1—256 входной частоты. Коэффициент модуляции заносится в РГУСТ (дискретность задания коэффициента широтно-импульсной модуляции составляет 1—256).

Для формирования интервалов времени заданной длительности входную частоту подают на ВХСТ-СД через внешний по отношению к микросхеме вентиль, который блокируется сигналом ВЫХСР. Счетчику СТ-СД задается режим вычитания, а в РГУСТ заносится нулевой код. Дискретность отсчета времени равна периоду входных импульсов, диапазон выдержек—от 1 до 255.

Устройство ввода—вывода (клавиатурный шифратор) К536ИВ1 (бКО.348.340 ТУ1) предназначено для управления различными пультовыми устройствами и применяется для управления клавишным алфавитно-

Таблица 2.18

Номер вывода	Обозначение	Наименование	Примечание
1, 3, 4, 42—48	СКВЫХ	Сканируемые выходы	Выход
2	СБР—БЛ	Сброс—блокировка	Вход
5, 6, 8—10, 13—16	ВЫХИ	Информационный выход	Выход
7	ВХП—И	Команда прямой—инверсный	Вход
11	КОИ-8	КОИ-8	Вход
12	—	Общий	
17	$\overline{ОТВ}$	Ответ	Выход
18	ГТ	Готов	Выход
19, 23, 20, 21		Свободен	
22	А	Адрес	Вход
24	З	Запрос	Вход
26—28, 41	$U_{пит}$	Питание (0—1,5 В)	
29—31	С	Синхроимпульс	Вход
32—40	ЗДР	Задержка	Вход
	СКВХ	Сканируемые входы	Вход

цифровым пультом, функциональной клавиатурой и пультом с совмещенной алфавитно-цифровой (до 60 клавиш) и функциональной (до 30 клавиш) клавиатурами.

Корпус микросхемы К536ИВ1 имеет 48 выводов, назначение которых приведено в табл. 2.18. Структурная схема БИС представлена на рис. 2.11. В состав шифратора клавиатуры входят следующие устройства: делитель частоты, распределитель выходов, компаратор входов, распределитель входов, постоянные запоминающие устройства (ПЗУ1 и ПЗУ2), регистр информации (РГИ), оперативное запоминающее устройство (ОЗУ), схема сравнения (СХСР), вентили-усилители считывания (УСЧТ), схема времени, схема управления (СХУ).

Шифратор клавиатуры построен по принципу непрерывного сканирования клавиатуры. Для этого организо-

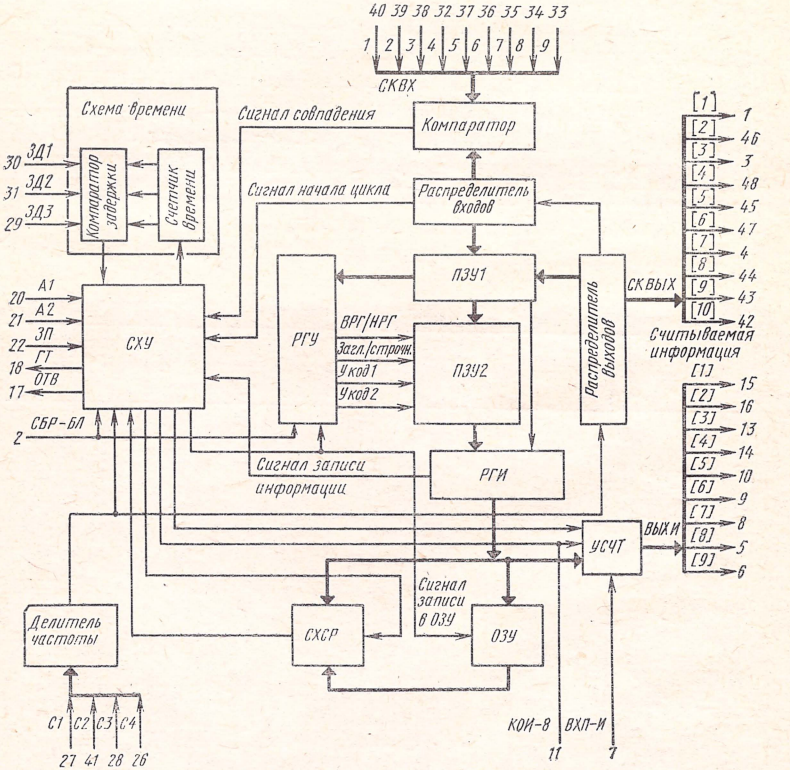


Рис. 2.11. Структурная схема БИС клавиатурного шифратора К536ИВ1

вана ортогональная сетка из сканируемых по вертикали выходов и по горизонтали входов, в узлах которой находятся переключатели. Для организации сканирования в микросхему введены последовательно включенные распределители входов и выходов, причем импульс переноса распределителя выходов является сдвигающим для распределителя входов. Компаратор входов производит сравнение состояния распределителя входов и сигналов на сканируемых входах микросхемы. При совпадении кодов на выходе компаратора сигнал СОВПАДЕНИЯ однозначно определяет номер нажатой клавиши, поскольку используется принцип временно́го разделения для проверки каждой клавиши.

Каждое положение сканирующих распределителей однозначно определяет адрес считываемой из ПЗУ1 информации. Старшие четыре разряда информации из ПЗУ1 подвергаются преобразованию в ПЗУ2 в зависимости от состояния регистра управления. Регистр информации предназначен для приема информации с ПЗУ1 и ПЗУ2, хранения и выдачи ее на схему сравнения на вентили-усилители либо в ОЗУ. РГИ состоит из шести внутренних регистров: верхний регистр (ВРГ), нижний регистр (НРГ), регистр заглавных букв (ЗАГЛ), регистр строчных букв (СТРОЧ), регистры управления У1 и У2. Регистры ВРГ и НРГ, ЗАГЛ и СТРОЧ являются взаимно исключающими. Регистры У1 и У2 сбрасываются по командам ВРГ и НРГ.

Оперативное запоминающее устройство предназначено для хранения кодов, установленных при предыдущем нажатии клавиш. Поскольку необходимо обеспечить одновременное нажатие до пяти клавиш, то емкость ОЗУ равна пяти байтам. ОЗУ построено на регистрах сдвига, поэтому для его синхронизации и управления введен делитель частоты. СХСР предназначена для сравнения содержимого РГИ с информацией в ОЗУ. При отсутствии сигнала совпадения по окончании сравнения, свидетельствующем об отличии кода вновь нажатой клавиши от предыдущих кодов, со схемы управления дается команда на запуск схемы времени для выбора дребезга контактов клавиатуры.

Схема времени состоит из счетчика времени, считывающего число полных циклов сканирования всей клавиатуры, и компаратора задержки, на одни входы которого подается код со счетчика времени, а другие — под-

ключены к входам устройства ввода — вывода, на них задается время задержки. Считывание информации происходит из РГИ через выходные вентили-усилители считывания при наличии сигналов З и А, подаваемых на входы устройства.

Основные характеристики микросхемы К536ИВ1:

Число сканируемых выходов 10
Число сканируемых входов 9
Максимальное число сканируемых клавиш 90
из них:
алфавитно-цифровых клавиш 60
функциональных клавиш 30
Число градаций времени задержки на дребезг при изменении его от 5 до 40 с при f_c 100 кГц 8
Максимальная скорость передачи при максимальной задержке на дребезг 40 с и при $f_c = 100$ кГц . . . . . до 25 нажатий/с
Число формируемых сигналов прерывания . 1
Максимальное значение тока через выходные выводы, мА, не более 3
Потребляемая мощность, мВт, не более 100
Кодирование . . . . . по КОИ-7 ГОСТ 13052—74, КОИ-8 ГОСТ 19768—74

Схема управления преобразователем напряжение — код К536ИК6 (бК0.348.340 ТУ1) используется в качестве автомата управления аналого-цифровых преобразователей (АЦП) и обеспечивает преобразование входных напряжений постоянного тока в цифровой код. Схема работает по методу двухшагового интегрирования. Алгоритм работы АЦП предусматривает выполнение двух функций: преобразования входного сигнала в код и автоматической коррекции дрейфа выходного напряжения интегратора.

Корпус микросхемы К536ИК6 имеет 48 выводов, назначение которых представлено в табл. 2.19. Структурная схема изображена на рис. 2.12. Микросхема состоит из следующих основных узлов: блока управления БУ, счетчика, схемы формирования счетных импульсов частоты f_0, стартстопной схемы, блока выходных триггеров, схемы формирования выходного байтового кода.

Таблица 2.19

Номер вывода	Обозначение	Наименование	Примечание
1	f_0	Частотный вход	Вход
2	ПОВТПСК	Повторный пуск	Вход
3	ВХ U_x	Полярность измеряемого напряжения	Вход
4	РЖС	Синхронный режим	Вход
5	Ч-ИК	Число-импульсный код	Выход
6	СБР	Импульс сброса	Вход
7	$U_{ип1}$	Питание (—24 В)	
8	ПР, СВОБ	Прерывание, свободен	Выход
9	Коррекция	Коррекция	Выход
10	КЛ U_x	Ключ напряжения	Выход
11	ГТ	Готовность	Выход
12	ПЕРЕПОЛ	Переполнение	Выход
13	„2“+	Ключ двоичного положительного эталонного напряжения	Выход
14	„2“—	Ключ двоичного отрицательного эталонного напряжения	Выход
15	„2—10“+	Ключ двоично-десятичного положительного эталонного напряжения	Выход
16	„2—10“—	Ключ двоично-десятичного отрицательного эталонного напряжения	Выход
17	50 Гц	50 Гц	Выход
18	ВЫХ U_x	Полярность измеряемого напряжения	Выход
19	$\perp$	Общий	
20	РЖ „2—10“	Режим двоично-десятичный	Выход
21	РЖДЕЛЕН	Режим работы в качестве делителя	Выход
22, 23, 29, 43	С	Синхроимпульс	Вход
24	$U_{ип2}$	Питание 0—1,5 В	
25	ВМ	Выбор микросхемы	Вход
26	ЗВХУ	Импульс запроса к входному устройству	Вход
27, 30	А	Адрес 2, 1	Вход
28	ЗВЫХУ (запуск)	Импульс запроса к выходному устройству	Вход
31	СМЕЩ	Смещение выходного уровня	Вход
32—34, 36—42, 45, 47	ЦКОД	Цифровой код	Выход
35	КТ [6—12]	Контроль разрядов 6—12	Выход
44	ЧТПК	Считывание прямым кодом	Вход
46	КТ [1—5]	Контроль разрядов 1—5	Выход
48	ОТВ	Ответ	Выход

В свою очередь, схема управления содержит:

— схему формирования запускающих импульсов в моменты времени t_1 и t_2 и сигнала ОТВ на любую команду адресного обращения к микросхеме (команду пуска З ∧А1∧ ВМ, команду считывания первого байта выходного кода ЧТ ∧А1∧ ВМ и команду считывания второго байта ЧТ ∧А2∧ ВМ);

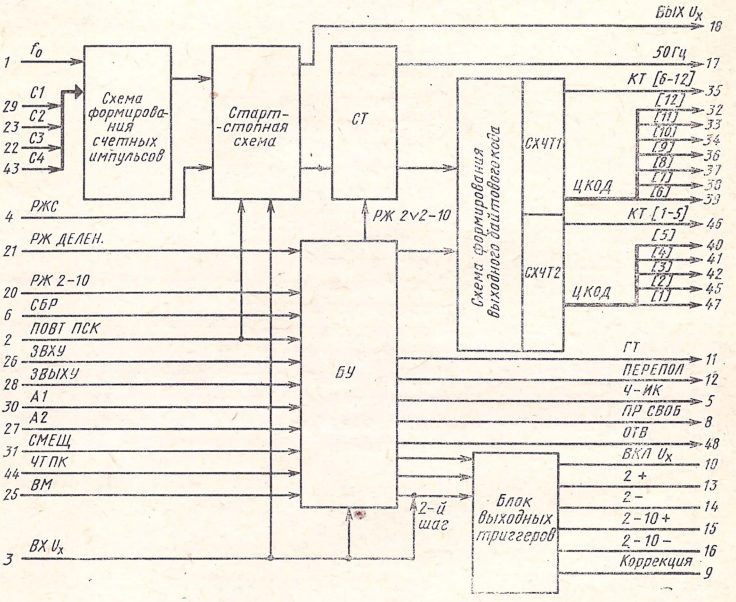


Рис. 2.12. Структурная схема БИС управления преобразователем напряжение — код К536ИК6

— дешифратор момента времени t_3, соответствующего отсчету (2048—16) импульсов на первом шаге интегрирования;

— дешифратор момента времени t_4, соответствующего первому шагу интегрирования (2048 отсчетов), и триггер, фиксирующий этот момент;

— дешифратор момента времени t_5, соответствующего отсчету 16 импульсов на втором шаге интегрирования — началу формирования выходного кода;

— схему формирования управляющих сигналов, соответствующих моменту времени t_5 и сигналу ГТ;

— логический ключ, управляемый сигналами от компаратора (полярность U_x) и формирующий сигнал

ПОЛЯРНОСТЬ в момент времени t_3 и сигнал окончания преобразования ОТВ в момент времени t_6;

— формирователь сигнала ПЕРЕПОЛ;

— триггер, управляющий передачей сигнала число-импульсного кода (Ч-ИК) в интервале времени t_5—t_6.

Двенадцатиразрядный счетчик работает в режиме непрерывного двоичного или двоично-десятичного счета, в котором происходит формирование выходного байтового кода. Схема формирования счетных импульсов частоты f_0 запускается от синхроимпульса С4 или от внешнего генератора $f_{оп}$.

Блок выходных триггеров — это режимные триггеры, управляющие работой всех аналоговых ключей АЦП (кроме коммутатора) соответственно разным периодам преобразования. Схема формирования выходного кода является двубайтовой и содержит соответственно две схемы считывания и две контрольные схемы на четность (сумматор по модулю 2), формирующие контрольные разряды двух байтов выходного кода. В схеме считывания первого байта, включающего семь старших разрядов счетчика, входит схема формирования знакового разряда выходного кода. Режим считывания предусматривает считывание двух байтов 15-разрядного выходного кода по двум командам как одновременно, так и последовательно. Считывание производится в прямом и обратном кодах в зависимости от внешних сигналов.

Микросхема К536ИК6 выполняет две основные функции, которые задаются постоянным сигналом ДЕЛЕНИЕ: деление входной частоты и преобразование. Вторая предусматривает выполнение также двух функций, осуществляемых последовательно: измерение и считывание.

Таблица 2.2

Режим работы К536ИК6	Обозначение сигнала	Номер вывода	Значение сигнала
Деление	РЖДЕЛЕН	21	1
Преобразование	„	21	0
Выходной код двоично-десятичный	РЖ „2-10“	20	1
Выходной код двоичный	„	20	0
Выходной код инверсный	ЧТПК	44	0
Выходной код прямой	„	44	1

При выполнении функции ПРЕОБРАЗОВАНИЕ на вход микросхемы в соответствии с табл. 2.20 подаются постоянные сигналы, задающие режим работы счетчика и вид выходного кода.

Функция ДЕЛЕНИЕ входной частоты микросхемы К536ИК6 является вспомогательной и позволяет осуществлять автоподстройку опорной частоты f_0 по входу

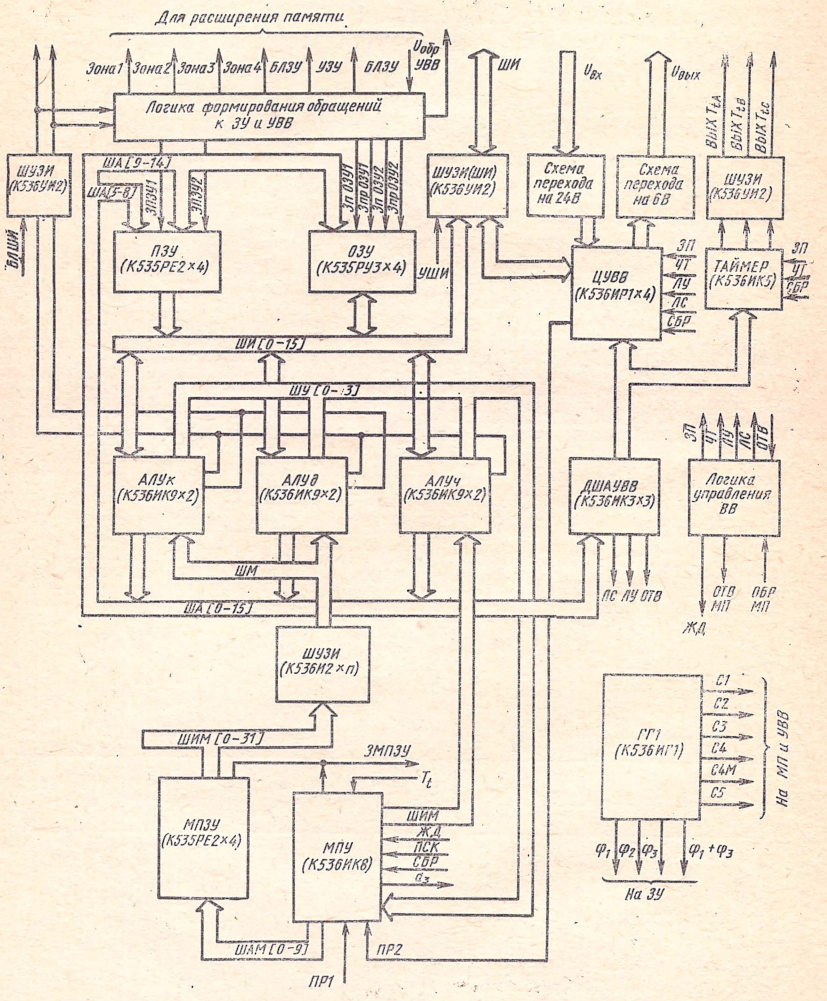


Рис. 2.13. Структурная схема микро-ЭВМ «Электроника С5-12» на базе МПК ИС серии К536

РЖ ДЕЛЕН, равной частоте синхроимпульсов, с тем, чтобы она была кратной частоте сети 50 Гц. Этот режим задается постоянным сигналом «1» на входе РЖ ДЕЛЕН, открывающим стартстопную схему. Счетчик работает в режиме непрерывного счета и с его 11-го разряда на выход «50 Гц» поступает прямоугольный сигнал.

На рис. 2.13 представлена структурная схема микро-ЭВМ «Электроника С5-12», построенной на базе МПК серии К536.

Микро-ЭВМ «Электроника С5-12»—16-разрядная, одноплатная, встраиваемая вычислительная машина с микропрограммным управлением, предназначена для широкого применения в системах контроля и управления. Микро-ЭВМ состоит из МП, ЗУ, устройств ввода — вывода, генератора тактовых импульсов и логических схем управления.

В состав микропроцессора входят: три 16-разрядных АЛУ, состоящих из шести микросхем К536ИК9, сгруппированных по два (одно АЛУ предназначено в основном для хранения и обработки командной информации — АЛУК; второе — для хранения и обработки данных — АЛУД; третье (дополнительное) используется при работе с байтами, а также для ускорения работы МП — АЛУЧ); устройство микропрограммного управления — МПУ (микросхема К536ИК8); 32-разрядное микропрограммное ЗУ емкостью 1 К (четыре микросхемы К535РЕ2); схема формирования обращений к ЗУ и УВВ и схемы управления вводом — выводом информации на шины микро-ЭВМ (построены на ИС).

Микро-ЭВМ содержит 16-разрядное ПЗУ емкостью 4096 слов (четыре микросхемы К535РЕ2) и 16-разрядное ОЗУ емкостью 128 слов (четыре микросхемы К535РУ3).

Устройство ввода — вывода включает: дешифратор адресов УВВ (три микросхемы К536ИК3); таймер (микросхема К536ИК5), 32-разрядный формирователь цифровых входов и выходов (ЦУВВ) (четыре микросхемы К536ИР1) и схемы управления входом — выходом информации из УВВ на шины микро-ЭВМ (построены на ИС). Одна из микросхем К536ИР1 может использоваться для организации системы прерывания программ. Число цифровых входов и выходов при этом сокращается до 24.

Для организации интерфейса микро-ЭВМ используются шинные усилители с запоминанием информации (микросхемы К536УИ2), позволяющие по одной шине пересылать информацию от многих источников к нескольким приемникам в двух направлениях.

В основу работы микро-ЭВМ положен шинный принцип организации между ее устройствами. Четыре шины: адресная, информационная, микрокоманд и условий — обеспечивают параллельное движение информации и позволяют за один такт осуществлять такие действия, как подача микрокоманд в АЛУ, обращение к ЗУ, выборка операнда, выполнение микрокоманды в АЛУ и подача условий в МПУ.

Основные характеристики микро-ЭВМ «Электроника С5-12»:

Разрядность информации, бит 16
Время выполнения микрокоманды, мкс, не более 15
Потребляемая мощность, мВт не более . 30
Габаритные размеры, мм . . 30×298×284

При построении различных вычислительных устройств совместно с МПК К536 могут применяться интегральные микросхемы со стандартными уровнями логических сигналов. Из микросхем ЗУ могут быть использованы К535РЕ2, К535РУ3, К535РУ1 и др.

3. Микропроцессорный комплект интегральных схем серии К580

МПК серии К580, выполненный на основе *n*-МДП-технологии, предназначен для построения вычислительных устройств, контроллеров, микро-ЭВМ и мультимикропроцессорных вычислительных систем для обработки цифровых данных. Достаточно высокое быстродействие и относительно низкая потребляемая мощность обеспечивают возможность широкого применения комплекта в различных областях народного хозяйства.

Характерной особенностью комплекта является однозначно заданная архитектура БИС, которая определяет

архитектуру построенных на его основе устройств. В состав МПК (табл. 3.1) входят три *n*-МДП БИС серии К580. Кроме того, с комплектом совместимы микросхемы серии К589, выполненные по ТТЛШ-технологии (описание этих БИС приведено в гл. 9).

Таблица 3.1

Обозначение ИС	Наименование ИС	Характеристики корпуса			
		Обозначение	Число выводов	Длина, мм	Ширина с выводами, мм
К580ИК80	Центральный процессорный элемент параллельной обработки данных	244.48-8	48	30	35
К580ИК51	Программируемый последовательный интерфейс связи	244.48-8	48	30	35
К580ИК55	Программируемый параллельный интерфейс для периферийных устройств	244.48-8	48	30	35

БИС серии К580 имеют 8-разрядный формат слов, где младшим является нулевой правый разряд. Возможны следующие формы представления данных:

1. Число со знаком в дополнительном коде. При этом старший разряд считается знаковым и имеет значение 0 для положительных и 1 для отрицательных чисел. Диапазон представления отрицательных чисел составляет от -1 до -128, а положительных — от 0 до 127.

2. Положительное число без знака в прямом коде. В этом случае диапазон представления чисел составляет от 0 до 255.

3. Мантисса 8-разрядного числа в дополнительном коде. При таком представлении чисел знак результата определяется значением разряда переноса, формируемого по общему правилу.

Типовые характеристики БИС комплекта приведены в табл. 3.2.

Все микросхемы МПК обеспечивают устойчивую работу при следующих условиях:

— интервал рабочих температур от —10 до +70°С;

Таблица 3.2

Тип ИС	Разрядность, бит	Тактовая частота, МГц	Напряжение питания, В, ±5%	Потребляемая мощность, мВт
К580ИК80	8	2	+12; +5; −5	750
К580ИК51	8←→1	2	+5	400
К580ИК55	8	2	+5	350

— относительная влажность воздуха 98% при температуре —25°С;

— вибрационные нагрузки в диапазоне частот от 1 до 600 Гц с максимальным ускорением 10g;

— многократные удары с ускорением до 75g.

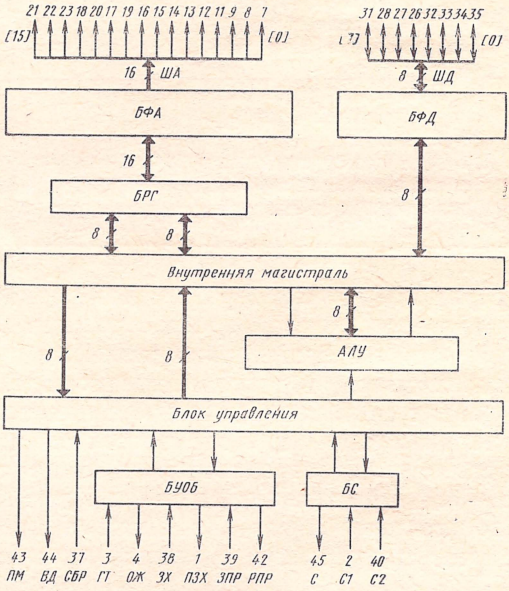


Рис. 3.1. Структурная схема БИС центрального процессорного элемента К580ИК80

Рассмотрим кратко структуру и функционирование каждой БИС комплекта, учитывая, что во всех случаях нулевой разряд является младшим разрядом слова.

Центральный процессорный элемент (ЦПЭ) параллельной обработки данных К580ИК80 (бК0.348.393 ТУ) представляет собой однокристальный 8-разрядный мик-

ропроцессор с однозначно определенной архитектурой и системой команд без возможности аппаратного наращивания разрядности обрабатываемых данных. БИС ЦПЭ предназначена для построения средств обработки данных и применяется в устройствах автоматики, контроллерах и микро-ЭВМ.

Назначение выводов БИС ЦПЭ приведено в табл. 3.3, а структурная схема — на рис. 3.1. БИС ЦПЭ состоит из следующих блоков: арифметико-логического устройства (АЛУ), блока регистров (БРГ), блока управления, блока синхронизации (БС), 16-разрядного буфера адреса (БФА), 8-разрядного буфера данных (БФД) и 8-разрядной внутренней магистрали данных.

Основным блоком БИС является 8-разрядное АЛУ, выполняющее арифметические, логические операции и операции сдвига над данными, представленными в дополнительном коде. БИС ЦПЭ может быть использован для обработки данных в двоично-десятичном коде. АЛУ обменивается операндами и результатами операций с внутренней магистралью данных с помощью входящих в его состав регистров.

Блок регистров (БРГ) предназначен для приема, хранения и выдачи различной информации, участвующей в процессе выполнения программы. Он содержит счетчик команд, указатель стека, регистр адреса, временной регистр, мультиплексоры и шесть регистров общего назначения. Обмен информации с внутренней магистралью данных осуществляется с помощью двух 8-разрядных мультиплексоров, а с внешней магистралью адреса — с помощью третьего 16-разрядного мультиплексора. Все три мультиплексора входят в состав блока регистров.

Управление работой АЛУ и БРГ осуществляется блоком управления, вырабатывающим в соответствии с кодом команды, поступившей на его вход с внутренней магистрали данных, необходимую последовательность управляющих сигналов. Коды команд дешифруются в пяти программируемых логических матрицах двух типов (ПЛМ1 и ПЛМ2).

Для формирования последовательностей управляющих сигналов используются синхроимпульсы, которые формируются в блоке синхронизации (БС) на основе двух внешних синхросерий С1 и С2. Блок синхронизации включает в себя схему формирования машинных тактов,

Таблица 3.3

Номер вывода	Обозначение	Наименование	Примечание
1	ПЗХ	Признак допуска внешнего устройства к шинам данных и адреса	Выход
2, 40	С1, С2	Две серии неперекрывающихся фазовых импульса	Вход
3	ГТ	Признак готовности внешнего устройства к обмену информацией	Вход
4	ОЖ	Признак ожидания микропроцессором готовности внешнего устройства к обмену информацией	Выход
6, 24, 48	$U_{\text{ип1}}$, $U_{\text{ип2}}$, $U_{\text{ип3}}$	Питание (+12 В, —5 В, +5 В)	Вход
7—9, 11—23, 25	ША	Шина адреса [0—15]	Выход
	⊥	Общий	
26—28, 31—35	ШД	Шина данных [0—7]	Вход/выход
37	СБР	Перевод БИС в исходное состояние	Вход
38	ЗХ	Запрос внешних устройств на допуск к магистралям данных и адреса	Вход
39	ЗПР	Запрос внешних устройств на обслуживание микропроцессором	Вход
42	РПР	Разрешение на обслуживание микропроцессором внешнего устройства	Выход
43	ПМ	Разрешение приема информации с внешней шины	Выход
44	ВД	Признак выдачи информации на внешнюю шину	Выход
45	С	Синхронизация	Выход

схему формирования машинных циклов и схему формирования сигнала синхронизации С, в отличие от всех других выводимого на внешний вывод БИС ЦПЭ. Этот сигнал определяет начало каждого машинного цикла.

Блок управления обменом (БУОБ) информации организует работу МП в реальном масштабе времени (схема анализа прерываний), в режиме прямого доступа к памяти (схема анализа захвата шин), а также с памятью и внешним устройством любого быстродействия (схема анализа готовности).

Буфер адреса (БФА) предназначен для выдачи 16-разрядного адреса из регистра адреса блока регистра во внешнюю магистраль. Он содержит 16 выходных формирователей с тремя устойчивыми состояниями. Буфер данных (БФД) предназначен для организации обмена информацией между внешней и внутренней магистралями. Он содержит 8-разрядный регистр и двунаправленные магистральные усилители.

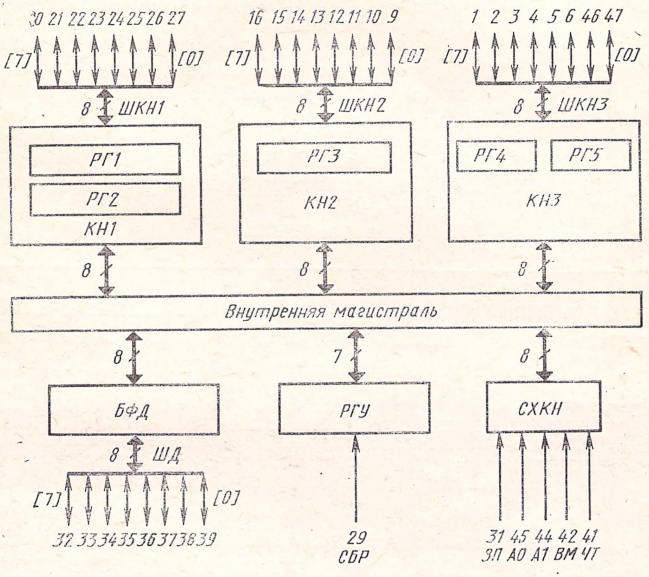


Рис. 3.2. Структурная схема БИС программируемого параллельного интерфейса для периферийных устройств К580ИК55

Программируемый параллельный интерфейс (ПЛИ) для периферийных устройств К580ИК55 (бК0.348.349 ТУ) представляет собой однокристальное программируемое устройство ввода — вывода параллельной информации различного формата. БИС ПЛИ предназначена для применения в качестве элемента ввода — вывода общего назначения, сопрягающего стандартные периферийные устройства (дисплей, телетайп, накопитель и др.) с магистралью данных БИС ЦПЭ.

Назначение выводов БИС ПЛИ приведено в табл. 3.4, а структурная схема — на рис. 3.2; БИС ПЛИ состоит

Таблица 3.4

Номер вывода	Обозначение	Наименование	Примечание
1—6, 46, 47	КН3	Канал 3 [0—7]	Вход/выход
9—16	КН2	Канал 2 [0—7]	Вход/выход
20—27	ШКН1	Канал 1 [0—7]	Вход/выход
29	СБР	Перевод БИС в исходное состояние	Вход
31	ЗП	Разрешение приема информации из шины данных	Вход
32—39	ШД	Шина данных 0—7	Вход/выход
41	ЧТ	Разрешение выдачи информации в шину данных	Вход
42	ВМ	Разрешение выбора устройства	Вход
43	⊥	Общий	
44, 45	A1, A0	Адрес (номер) канала КН1, КН2 и КН3	Вход
48	$U_{ип}$	Питание (+5 В)	Вход

из следующих блоков: буфера канала данных (БФД), регистра управляющего слова (РГУ), схемы выбора канала (СХКН) и трех каналов данных (КН1, КН2 и КН3).

Двунаправленный буфер канала данных (БФД) предназначен для подключения внутренней магистрали БИС ПЛИ к магистрали данных БИС ЦПЭ. 7-разрядный регистр управляющего слова (РГУ) предназначен для приема и хранения кода команды, поступающего на него через буферы канала данных и внутреннюю магистраль. Содержимое РГУ определяет функцию и направление работы каждого из трех каналов ввода — вы-

Таблица 3.5

Наименование входов	Чтение			Запись			
	ШКН1→ШД	ШКН2→ШД	ШКН3→ШД	ШД→ШКН1	ШД→ШКН2	ШД→ШКН3	ШД→РГУ
ВУ	0	0	0	0	0	0	0
ЧТ	0	0	0	1	1	1	1
ЗП	1	1	1	0	0	0	0
A1	0	1	0	0	1	0	1
A0	0	1	0	0	1	0	1

вода. Схема выбора канала формирует сигналы управления внутренними и внешними передачами данных, управляющих слов и информации состояния. Выбор вида передачи устанавливается в соответствии с табл. 3.5.

Каналы КН1, КН2 и КН3 предназначены для подключения внешних устройств к шине данных микропроцессора (ЦПЭ). Функциональное назначение каждого канала определяется программным способом.

Канал КН1 состоит из входного и выходного 8-разрядных регистров (РГ1 и РГ2) с формирователями и может работать в режимах 0, 1 и 2. В режиме 0 ввод информации производится непрерывно, т. е. входной регистр изменяет свое состояние в соответствии с изменением данных на входе. Вывод информации в режимах 0 и 1 производится также непрерывно, но до смены информации в выходном регистре. Ввод информации в режимах 1 и 2 на входной регистр и вывод в режиме 2 осуществляются непрерывно в течение действия внешнего сигнала управления приемом.

Канал КН2 состоит из 8-разрядного регистра ввода — вывода (РГ3), входных и выходных формирователей и может работать при вводе информации в режимах 0 и 1. В режиме 0 регистр канала изменяет свое состояние в соответствии с ее изменением на входе канала. В режиме 1 ввод осуществляется так же, но только в течение действия внешнего сигнала управления приемом.

Канал КН3 состоит из двух 4-разрядных регистров включающих разряды [0—3] и [4—7]. Канал может работать в режимах 0 и 1. В режиме 0 осуществляются ввод и вывод 4-разрядных слов. В режиме 1 канал КН3 используется для приема и выдачи управляющих сигналов (если каналы КН1 и КН2 работают в режиме 1 или 2). Регистры канала в совокупности используются как 8-разрядный регистр состояний.

Режим работы каждого канала определяется содержимым РГУ, в который заносится код управляющего слова. Режимы работы каналов КН1 и КН2 устанавливаются независимо, а режим канала КН3 зависит от режимов работы КН1 и КН2. При каждом изменении режима работы любого канала все входные и выходные регистры сбрасываются в состояние 0.

Комбинирование режимов работы каналов обеспечивает возможность работы БИС параллельного интерфейса практически с любым периферийным устройством.

Программируемый последовательный интерфейс связи (ПСИ) К580ИК51 (бК0.348.438 ТУ) представляет собой однокристальное программируемое устройство для синхронно-асинхронных приемопередающих каналов связи и осуществляет преобразование параллельного 8-разрядного кода в последовательный и наоборот. Последовательный код дополняется служебными битами.

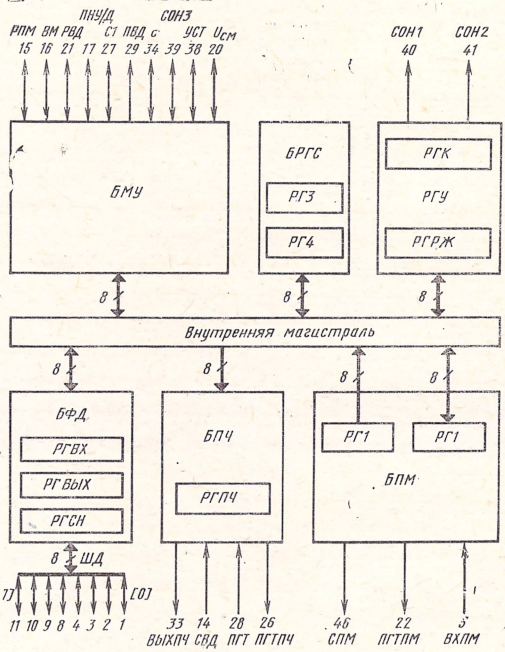


Рис. 3.3. Структурная схема БИС программируемого последовательного интерфейса связи К580ИК51

Назначение выводов БИС ПСИ приведено в табл. 3.6, а структурная схема — на рис. 3.3; БИС ПСИ состоит из следующих блоков: буфера данных (БФД), управляющих регистров (РГУ), блока передачи (БПЧ), блока приема (БПМ), блока регистров синхроимпульсов (БРГС), блока местного управления (БМУ).

Буфер данных предназначен для связи внутренней магистрали БИС ПСИ с магистралью данных БИС ЦПЭ параллельным 8-разрядным кодом. Он представляет собой двунаправленное 8-разрядное устройство с тремя

Таблица 3.6

Номер вывода	Обозначение	Наименование	Примечание
1—4, 8—11	ШД	Шина данных [0—7]	Вход/выход
5	ВХПМ	Вход приемника	Вход
7, 23	⊥	Общий	
14	СВД	Синхронизация выхода передатчика	Вход
15	РПМ	Разрешение на прием информации из шины данных	Вход
16	ВМ	Выбор микросхемы	Вход
17	ПНУ/Д	Признак „управляющие сигналы или состояния микросхемы/данные“ на шине данных	Вход
20	$U_{см}$	Напряжение смещения	Вход
21	РВД	Разрешение на выдачу информации в шину данных	Вход
22	ПГТПМ	Признак готовности приемника к передаче данных в шину данных БИС ЦПЭ	Выход
24		Подложка	
26	ПГТПЧ	Признак готовности передатчика к приему данных из шины данных БИС ЦПЭ	Выход
27	С 1	Вид синхронизации	Вход/выход
28	ПГТ	Признак готовности внешнего приемника принять данные	Вход
29	ПВД	Признак окончания посылки данных	Вход
33	ВЫХПЧ	Передатчик	Выход
34	С	Тактовая частота	Вход
38	УСТ	Установка БИС в исходное состояние	Вход
39—41	СОН1, СОН2, СОН3	Сигналы общего назначения	Выход
46	СПМ	Синхронизация входа приемника	Вход
48	$U_{ип}$	Питание (+5В)	Вход

устойчивыми состояниями, состоящее из входного регистра (РГВХ), выходного регистра данных (РГВЫХ) и выходного регистра состояний (РГСН), соединенное с внутренней магистралью БИС ПСИ и с ее внешней параллельной шиной данных (ШД).

Управляющие регистры (РГУ) предназначены для хранения управляющего слова (регистр режима — РГРЖ) и инструкций команды (регистр команды —

РГК). Выходы разрядов 1, 3—5, 7 и 8 регистра команд поступают в блок местного управления (БМУ) БИС ПСИ, а выходы разрядов 2 и 6— через выходные формирователи на выводы СОН1 и СОН2.

Блок передачи (БПЧ) предназначен для преобразования параллельного 8-разрядного кода в последовательный 13-разрядный. Основным его узлом является 13-разрядный регистр (РГПЧ), на входы которого поступает слово данных или кодовый набор синхросимвола из внутренней магистрали БИС ПСИ (разряды 4—11 регистра) и служебные разряды, формируемые в передатчике. Выходы регистра через выходной формирователь последовательно подключаются к выводу БИС ВЫХПЧ. Разряды 1—2 регистра РГПЧ используются для записи стоп-бита, разряд 3— для записи бита контроля, 12— для формирования старт-бита, 13— для хранения информации в течение периода синхронизации выхода передатчика. Кроме того, в передатчике формируется сигнал ПГТПЧ, подающийся на вывод БИС.

Блок приема (БПМ) предназначен для преобразования последовательного кода, поступающего на вывод ВХПМ, в параллельный 8-разрядный код и передачи его во внутреннюю магистраль БИС ПСИ. Основным его узлом является регистр приемника, состоящий из двух 8-разрядных регистров РГ1 и РГ2, отличающихся тем, что РГ2 имеет дополнительные входы для приема с внутренней магистрали БИС ПСИ, в то время как РГ1 имеет только выходы на эту магистраль. Управление записью входной информации в регистр приемника и обменом с внутренней магистралью БИС осуществляется схемой управления и синхронизации приемника. Там же формируется сигнал (ПГ1), подаваемый на вывод БИС.

Блок регистров синхроимпульсов (БРГС), состоящий из двух 8-разрядных регистров РГ3 и РГ4 первого и второго синхросимволов и схемы сравнения, предназначен для сравнения синхросимволов, записанных в регистрах, с синхросимволами, поступающими из внутренней магистрали от регистров приемника. Результат сравнения поступает в схему управления.

Блок местного управления (БМУ) обеспечивает работу БИС ПСИ в соответствии с полученными инструкциями. В состав БМУ входят схема управления, схема формирования фаз, схема формирования сброса, схема зарядки внутренней магистрали и схема автосмещения.

БИС ПСИ может работать в нескольких режимах. В асинхронном режиме при передаче данные в параллельном коде записываются из внешней шины данных (ШД) БИС ЦПЭ в буфер ввода — вывода БИС ПСИ и через внутреннюю магистраль подаются в передатчик. В передатчике из параллельного кода формируется последовательность сигналов, подаваемая на выход передатчика микросхемы (ВЫХПЧ). Формат последовательной посылки следующий: за стартовым разрядом следуют разряды данных, затем — контрольный разряд и разряды останова. Частота выходного сигнала кратна 1/1, 1/16 или 1/64 частоты синхронизации передатчика. Если микросхема не содержит информации для передачи, то на выходе передатчика БИС (ВЫХПЧ) устанавливается 1, а если задан режим останова — то 0.

При приеме в асинхронном режиме 1 на входе приемника (ВХПМ) свидетельствует об отсутствии принимаемой информации, а 0—о приходе старт-бита. После проверки истинности старт-бита запускается счетчик битов, позволяющий определить конец данных, бит контроля, биты останова. Принятые данные с регистра приемника через внутреннюю магистраль и буфер ввода — вывода поступают в шину данных БИС ЦПЭ.

В синхронном режиме формат последовательной посылки следующий: синхросимвол 1, затем синхросимвол 2 и за ними разряды данных. Число синхросимволов (1 или 2) программируется инструкцией режима. Передатчик автоматически формирует коды синхросимволов и выдает последовательную посылку на выход передатчика (ВЫХПЧ) с частотой синхросимволов, поступающих на вход СВД.

Синхронный прием может быть как с внутренней, так и с внешней синхронизацией. При внешней синхронизации на вход БМУ подается синхросигнал С1, вызывающий трансляцию внешних синхроимпульсов (СПМ) на входы ВХПМ. Длительность сигнала С1 должна быть не меньше периода синхросигнала СПМ.

При внутренней синхронизации работа БИС ПСИ начинается с поиска синхросимволов. Информация поступает со входа ВХПМ на РГ1 приемника, и его содержимое сравнивается с содержимым регистра синхросимвола 1 (РГ3) БРГС. Если запрограммирован режим с двумя синхросимволами, то аналогично работают оба регистра приемника и синхросимволов. При положитель-

ном результате сравнения начинается прием данных, при этом на выход С1 блока местного управления подается «1», свидетельствующий о начале приема.

В общем случае типовая схема применения МПК ИС состоит из модулей центрального процессора (ЦП), ПЗУ, ОЗУ и УВВ (рис. 3.4).

Связь между модулями осуществляется через три магистрали: адреса, данных и управления. Двунаправленная 8-разрядная магистраль данных предназначена

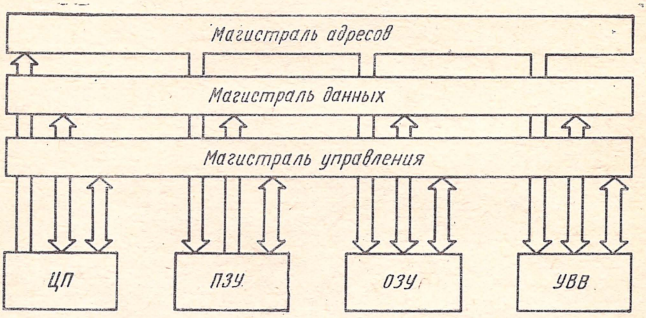


Рис. 3.4. Типовая схема применения МПК ИС серии К580

для передачи информации между модулями системы. По однонаправленной 16-разрядной магистрали адресов передаются адреса ЗУ или УВВ, к которым обращается ЦП. Каждая линия магистрали управления однонаправленная. Магистраль содержит набор сигналов, вырабатываемых модулем ЦП, внешними устройствами и ЗУ.

Модуль ЦП в простейшем случае содержит: БИС ЦПЭ (К580ИК80); буферы магистралей; генератор тактовых импульсов и логические схемы управления.

Центральный процессор устанавливается в исходное (нулевое) состояние по программе или при включении питания, после чего выполняет программу до тех пор, пока на вход ГТ БИС ЦПЭ поступает «1». Выполнение программы может быть остановлено либо по сигналу прерывания, либо по сигналу ЗХ, выдаваемому внешними устройствами.

При работе с ЗУ или УВВ центральный процессор выполняет операции в такой последовательности:

1) выдает управляющие сигналы на магистраль управления;

2) выдает двоичный код адреса ЗУ или УВВ на магистраль адреса;

3) получает информацию из выбранного ЗУ или УВВ и передает им информацию;

4) производит обработку информации;

5) передает (если необходимо по программе) информацию в ЗУ или УВВ;

6) выполняет операцию п. 1 и вырабатывает очередную последовательность управляющих сигналов.

Центральный процессор получает из ПЗУ команды программы и производит передачу данных в ОЗУ и УВВ или получает данные из них. Число команд в программе может быть различным. Они определяют тип операций, которые должны быть выполнены в МП, а также определяют направление передачи информации между модулем ЦП и другими устройствами системы.

Быстродействие системы определяется временем выборки информации из ЗУ и временем обработки информации в ЦП. Независимо от скорости выборки информации из ЗУ и времени обработки информации в ЦП эффективность работы ЦП значительно снижается, если для работы с УВВ требуется выполнение сложных и длительных программных операций. Именно поэтому простота и экономичность связи ЦП с другими элементами системы становятся основными факторами, которые необходимо учитывать при построении микропроцессорных систем.

Достоинством систем, построенных на БИС ЦПЭ К580ИК80, используемой в качестве ЦП, является мощность ее ввода — вывода.

Основные команды, по которым происходит обращение к УВВ: ВВОД и ВЫВОД. Эти команды разделяют поле адресов ЗУ и УВВ и с их помощью в схеме выработки управляющих сигналов формируются сигналы обращения к УВВ: ЗАПИСЬ УВВ, ЧТЕНИЕ УВВ.

Возможна и другая организация структуры ввода — вывода, при которой УВВ рассматривается как часть массива ЗУ, т. е. поле адресов ЗУ и УВВ обобщено. Рассматривая область адресов УВВ как часть поля ЗУ, можно использовать для обращения к УВВ такие же команды, как и при обращении к ЗУ. При этом новые управляющие сигналы для УВВ можно получить, объединяя сигналы ЧТЕНИЕ ЗУ, ЗАПИСЬ ЗУ со старшим разрядом адреса [15]. Если разряд 15 адреса равен 0, происходит обращение к ЗУ. Если же он равен 1, то

производится обращение к УВВ. Для этой цели можно использовать любой другой бит адреса. Старший разряд адреса [15] выбран потому, что это позволяет осуществлять адресацию к ЗУ емкостью до 32 К. При обобщенном поле адресов ЗУ и УВВ обеспечивается выбор всех УВВ при помощи определенных адресов памяти, а не по отдельным линиям управления для каждого УВВ.

При работе микропроцессорной системы под стековую память отводится часть поля адресов ОЗУ. Под стековую память можно выделить отдельное ЗУ, что расширит объем основного ЗУ и облегчит программирование системы. Сигналы обращения к этому ЗУ можно формировать, объединяя сигнал СТЕК внутреннего состояния БИС ЦПЭ с сигналом ЧТЕНИЕ ЗУ, запись ЗУ.

Можно значительно расширить емкость памяти, применяя метод страничной организации ЗУ. В пределах каждой страницы можно использовать возможность обращения БИС ЦПЭ к ЗУ емкостью до 64 К. В этом случае необходим внешний регистр с дешифратором для выбора той или иной страницы памяти.

При построении различных вычислительных устройств совместно с МПК серии К580 могут применяться цифровые интегральные микросхемы со стандартными уровнями логических сигналов. Например, серии К155, КМ155. Для ЗУ могут быть использованы микросхемы серий К565РУ1, К565РУ3, К552РУ1, КР568РЕ2, КР568РЕ3, К573РР1 и т. д.

В настоящее время разрабатываются и другие периферийные БИС, обеспечивающие повышение эффективности МПК серии К580.

4. Микропроцессорный комплект интегральных схем серии К581

Микропроцессорный комплект БИС серии К581 (бК0.348.484 ТУ), выполненный по *n*-МДП-технологии с кремниевым затвором, предназначен для построения 16 разрядного МП с программным управлением микроЭВМ «Электроника-60» и может быть также использован для построения специализированных вычислительных устройств.

В состав МПК серии К581 входят пять БИС. При построении вычислительных устройств связи между БИС осуществляются через шину микрокоманд. Микросхемы МПК серии К581 конструктивно выполняются в 48-выводных корпусах типа 244.48-1 или 244.48-8 и рассчитаны на следующие условия эксплуатации:

— диапазон рабочих температур от —10 до +70°С;

— относительная влажность воздуха до 98% при температуре окружающей среды ±25°С;

— вибрации с ускорением до 10g в диапазоне частот от 1 до 600 Гц;

— линейные нагрузки с ускорением до 25g;

— многократные удары с ускорением до 75g.

Таблица 4.1

Обозначение	Наименование
К581ИК1	БИС регистрового АЛУ
К581ИК2	БИС управления выполнением операций
К581РУ1	БИС хранения микрокоманд управления
К581РУ2	БИС МП ЗУ для реализации стандартного набора системы команд
К581РУ3	БИС для расширения арифметических операций и реализации операций с плавающей запятой

Примечание. Три типа ПЗУ К581РУ1—К581РУ3 отличаются функциональным назначением и информационным содержанием микропрограмм. Структура, конструкция и электрические параметры аналогичны. Три типа БИС ПЗУ занимают три страницы из четырех общего поля памяти, четвертый тип БИС ПЗУ (четвертая страница) предназначен под микропрограммы пользователя.

В табл. 4.1 приведены условные обозначения и функциональное назначение схем, входящих в МПК серии К581.

Основные электрические параметры БИС микропроцессорного комплекта К581 приведены в табл. 4.2.

Арифметико-логическое устройство К581ИК1 представляет собой блок обработки 8- и 16-разрядной информации, выполняет ряд операций, осуществляемых под управлением 84 микрокоманд [арифметических, логических, регистровых, сдвига, операций над битами, ввода—вывода, переходов, инкремента (декремента)].

Таблица 4.2

Обозначение ИС	Напряжение, В		Потребляемый ток, мА	Длительность цикла, нс
	„0“	„1“		
К581ИК1	$\leqslant$0,5	$\geqslant$2,4	25,0	400
К581ИК2	$\leqslant$0,5	$\geqslant$2,4	34,0	400
К581РУ1—РУ3	$\leqslant$0,5	$\geqslant$2,4	10,0	400

Наличие в БИС АЛУ 16 двунаправленных шин микроканала (МКН) для связи с БИС МПК и 16 двунаправленных шин системного канала (СКН) существенно упрощает структуру МП.

Структурная схема АЛУ приведена на рис. 4.1. В табл. 4.3 приведено назначение выводов БИС К581ИК1. В состав АЛУ входят непосредственно арифметическое устройство, блок РОН, блок местного управления (БМУ), регистр микрокоманд (РГМК), дешифратор адреса (ДША), регистр-указатель адреса РОН (РГУА), регистры для кодов условий (РГКДУ), схема проверки состояния флагов условий (СФУ), три мультиплексора (МА, МВ, МС) и выходные буферные усилители (БФУС1, БФУС2).

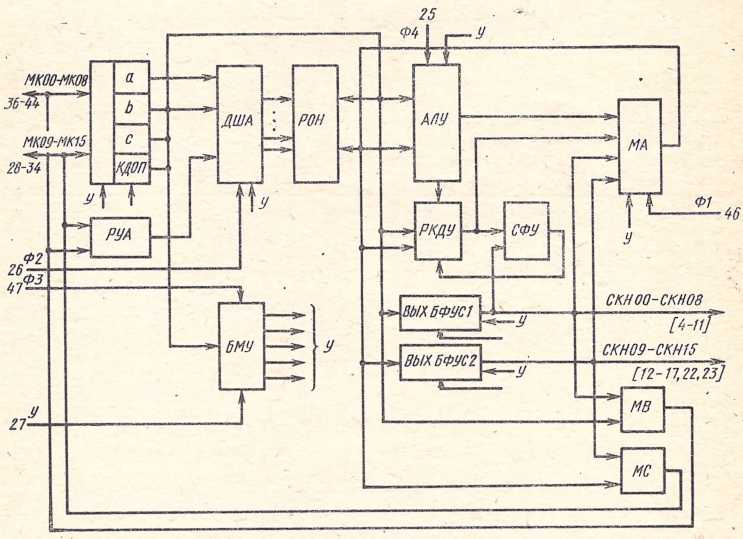


Рис. 4.1. Структурная схема БИС арифметико-логического устройства К581ИК1

Восьмиразрядное АЛУ предназначено для выполнения арифметических и логических операций над данными, включая сложение, вычитание, приращение (+1 или +2), вычитание (—1), логическое сложение и умножение, а также сдвиги над двумя операндами, адресованными микрокомандой.

В качестве операндов могут использоваться:

— содержимое двух РОНов, адреса которых заданы *a*- и *b*- полями микрокоманды;

— литеральная часть микрокоманды и содержимое РОНа, адресуемого *a*-полем микрокоманды;

— константа 00 или 11 и содержимое РОНа, адресуемого *a*-полем микрокоманды.

Блок двадцати шести 8-разрядных РОНов состоит из:

— десяти РОНов, прямо адресуемых полями a и *b* микрокоманды;

— четырех РОНов, которые могут адресоваться либо прямо, либо косвенно;

— двенадцати РОНов, адресуемых только косвенно.

Таблица 4.3

Номер вывода	Обозначение	Наименование	Примечание
4—17, 22, 23	СКН00—СКН15	Системный канал	Вход/выход
24	⊥	Общий	
25, 26, 46, 47	Ф1—Ф4	Синхронизация	Вход
27	У	Управление	Вход
28—34, 36—44	МК00—МК15	Микроканал	Вход/выход
45	$U_{ип2}$	Питание (+12 В)	
48	$U_{ип3}$	Питание (—5 В)	

Косвенная адресация осуществляется с помощью специального 3-разрядного регистра-указателя, который можно загружать из адресного поля микрокоманды.

Двенадцать косвенно адресуемых 8-разрядных регистров используются для реализации шести 16-разрядных регистров общего назначения [0—5]. Четыре регистра, которые могут адресовать как прямо, так и косвенно, используются как указатель стека [6] и счетчик адресов команд [7]. Пять пар прямо адресуемых регистров используются как рабочие регистры микропрограмм и

обычно содержат: команды, исполнительный адрес, первый операнд, второй операнд, слово состояния МП.

Работа схемы АЛУ происходит следующим образом. Системная информация (команды, данные) подается на входы СКН, а микрокоманды, подлежащие исполнению, — на входы МКН. Режим работы БИС АЛУ полностью определяется поданной микрокомандой. Обработка микрокоманд производится за один или два цикла в зависимости от кода микрокоманды.

Тактовые сигналы Ф1—Ф4, синхронизирующие работу блоков и узлов БИС АЛУ, представляют серию их четырех следующих друг за другом неперекрывающихся импульсов напряжения. Тактовые сигналы вырабатываются вне кристалла БИС и поступают на соответствующие входы микросхемы. За время тактовых сигналов Ф3, Ф4 происходит подготовка к приему микрокоманды или к выводу информации в МКН. Так как ввод информации в микроканале и системном канале осуществляется в тех же тактах, что и ее вывод, то ввод—вывод информации возможен только в разных циклах.

Временно́е разделение обработки информации и использование одних и тех же шин для ввода — вывода уменьшают необходимое число выводов. Микрокоманда, подлежащая исполнению, при поступлении тактового сигнала по Ф1 принимается на РМК; разряды микрокоманды, определяющие код операции, поступают в блок управления. Блок управления по Ф2 и Ф3 вырабатывает управляющие сигналы, задающие БИС АЛУ режим работы, соответствующий поданной микрокоманде. АЛУ параллельно обрабатывает два операнда. При регистровых микрокомандах код операции, поступающий в блок управления, содержится в разрядах 8—15 микрокоманды, а a- и b-поля микрокоманды содержат адреса РОНов, содержимое которых обрабатывается в данном цикле. Запись результата производится в РОН по адресу микрокоманды a-поля.

При выполнении литеральных микрокоманд в качестве одного из операндов в операциях АЛУ используется литеральная часть микрокоманды. Код операции содержится в разрядах 12—15, второй операнд заключен в РОНе с адресом a-поля микрокоманды, а код литералы — в разрядах 4—11. Результат обработки информации поступает в РОН, имеющий адрес a-поля микрокоманды. При выполнении микрокоманд условного

перехода осуществляется проверка состояния «флажка» условия, определяемого разрядами 8—11 микрокоманды. Результат проверки выдается в следующем цикле по разряду 15 микрокоманды. При выполнении двуцикловых микрокоманд во втором цикле МКН закрыт на прием информации, а РМК воспроизводит поданную в первом цикле микрокоманду с инвертированными младшими разрядами в *a*- и *b*-полях. Этим обеспечивается последовательная обработка 16-разрядных данных 8-разрядным АЛУ с помощью одной микрокоманды.

Выбор РОН осуществляет ДША, который условно можно разделить на дешифраторы *a*- и *b*-полей микрокоманды и дешифратор содержимого регистра J. В последнем случае РОНы, адресуемые регистром J, выбираются тогда, когда *a*- и *b*-поля микрокоманды принимают значения, равные 0, а самый младший разряд — значение 1, т. е. при записи микрокоманды в 16-ричном коде *a*- или *b*-поля при адресации регистром J могут принимать значение 0 или 1. При этом 0 соответствует четному номеру РОНа, 1 — нечетному. При прямой адресации код *a*- и *b*-полей соответствует номеру выбираемого регистра.

РОНы построены на базе запоминающих элементов с двумя парами разрядных шин. Такое построение обеспечивает:

— параллельную выдачу АЛУ содержимого двух 8-разрядных регистров;

— выдачу в СКН 16-разрядных слов;

— выдачу в МКН 16-разрядных слов;

— передачу для участия в операциях АЛУ литеральной части микрокоманды;

— передачу для участия в операциях АЛУ чисел (констант), необходимых для ряда операций.

В РОНы с адресом *a*-поля микрокоманды через мультиплексор МА, МВ может записываться следующая информация:

— результат обработки информации блоком АЛУ;

— младший байт слова, поступающего в СКН;

— содержимое регистров хранения АЛУ (регистров кодов условий);

— старший байт слова, поступающего в СК.

Регистры кодов условий обеспечивают хранение следующих кодов условий: сигнала отрицательного результата, сигнала нулевого результата, сигнала 4-разрядного переноса, сигнала 8-разрядного переноса и сигнала

переполнения. Регистры кодов условий могут загружаться содержимым РОНов, адресуемых *a*-полем МКН, при этом *b*-поле определяет порядок загрузки. Схема проверки состояния «флажков» условий обеспечивает выдачу результата проверки при подаче микрокоманды условного перехода. СКН и МКН работают в режимах приема и выдачи информации.

В СКН в режиме приема информации поступают команды и данные, которые заносятся в нужные РОНы и могут передаваться в МКН. В режиме выдачи информации в СКН через буферные усилители выводится 16-разрядное слово — содержимое РОНов, адрес которых определяется *a*- и *b*-полями микрокоманды. В микрокомандном режиме приема информации в МКН поступают микрокоманды, а в режиме выдачи информации может выводиться информация, поданная в СКН,

Таблица 4.4

Номер вывода	Обозначение	Наименование	Примечание
4	ПРВУ	Прерывание от внешнего устройства	Вход
5	ПРТ	Прерывание по таймеру	Вход
6	ПРП	Прерывание по питанию	Вход
7	ПРР	Прерывание по регенерации ОЗУ	Вход
8	[17]	Разряд 17 микроканала	Вход
9	ЗАН	Занято	Вход
10	ДОП	Дополнение	Вход
11	СБР	Сброс	Вход
12	[16]	Разряд 16 микроканала	Выход
13	ГТ	Готово	Вход
14	ОЖ	Ожидать	Вход
15	ВЫВД	Вывод данных	Выход
16	ЗАП БТ	Запись байта	Выход
17	ПОДТ ПР	Подтверждение прерывания	Выход
22	С	Синхронизация	Выход
23	ВвД	Ввод данных	Выход
24	⊥	Общий	
25, 26, 46, 47	Ф1—Ф4	Синхронизация	Вход
27	$U_{\text{ип1}}$	Питание (+5 В)	
28—34, 36—44	МК00—МК15	Микроканал	Вход/выход
45	$U_{\text{ип2}}$	Питание (+12 В)	
48	$U_{\text{ип3}}$	Питание (—5 В)	

результат проверки «флажков» условий и 16-разрядное слово — содержимое РОНов, адрес которых определяется *a*- и *b*-полями микрокоманды.

Информация из СКН и РОН побайтно передается в МКН через мультиплексоры МВ и МС. При поступлении на вход БИС сигнала УПРАВЛЕНИЕ регистр микрокоманд воспроизводит поданную в данном цикле микрокоманду и МП переходит в режим ОЖИДАНИЕ. Этот режим обычно используется в случае ожидания поступления нужной информации в СКН.

БИС управления выполнением операций К581ИК2 предназначена для управления работой процессора микро-ЭВМ «Электроника-60» и представляет собой блок микропрограммного управления на основе счетчика с дополнительными схемами организации обмена по прерываниям и прямому доступу к памяти. БИС предназначена для формирования адресной последовательности микрокоманд и сигналов управления системным каналом. В табл. 4.4 приведено назначение выводов БИС К581ИК2.

В состав БИС управления (рис. 4.2) входят программируемая матрица трансляции (ПМТ), регистр микрокоманд (РГМК), регистр системных команд (РГСК), регистр возврата (РГВ), регистр состояний (РГС), ре-

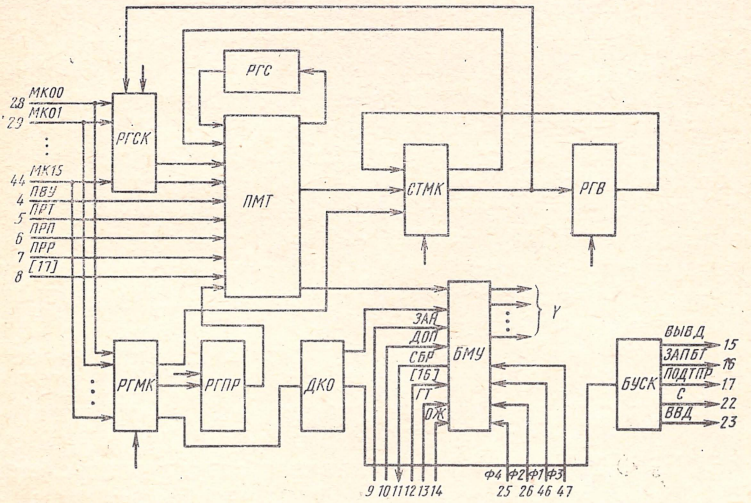


Рис. 4.2. Структурная схема БИС управления выполнением операций К581ИК2

гистр прерываний (РГПР), блок местного управления (БМУ), блок управления системным каналом (БУСКН), дешифратор кода операций (ДКО) и счетчик микрокоманд (СТМК).

Программируемая матрица трансляции предназначена для реализации микропрограммного принципа управления работой МП. ПМТ формирует начальные адреса микропоследовательностей выполнения системных команд, обрабатывает сигнал прерывания, осуществляет ветвление и внутреннее управление.

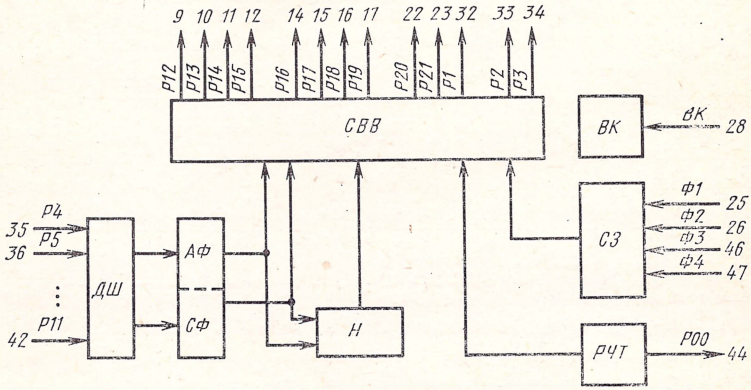


Рис. 4.3. Структурная схема БИС ПЗУ К581РУ1 (К581РУ2, К581РУ3)

Счетчик микрокоманд является главным звеном при выработке адресов микрокоманды в БИС. Управление работой счетчика осуществляется БМУ. Счетчик микрокоманд наращивает свое состояние на единицу при каждом обращении к микро-ПЗУ. Новый адрес может записываться в СТМК из МКН [0—10] при безусловном переходе к новому адресу, [0—7] при условном из регистра возврата (возврат из подпрограммы) и из ПМТ (ветвление по преобразованию).

Регистр микрокоманд предназначен для хранения и передачи микрокоманд в ПМТ и блоки БМУ и БУСКН.

Устройство управляющей памяти МП разработано с использованием БИС ПЗУ типов К581РУ1, К581РУ2, К581РУ3. На рис. 4.3 представлена структурная схема ПЗУ, содержащая следующие основные блоки: запоминающая матрица (Н — накопитель), дешифратор строк и столбцов запоминающей ячейки (ДШ), адресные фор-

мирователи дешифратора строк и столбцов запоминающей ячейки (АФ и СФ), схема формирования выходных данных, схема ввода — вывода информации (СВВ), схема выборки кристалла БИС (ВК), схема разрешения считывания (РЧТ) и схема запрета (СЗ).

Размер микрокоманды равен 22 разрядам, из которых 16 содержат микрокоманду в традиционном понятии. Четыре разряда ориентированы на выполнение специальных функций, определенных назначением и структурой вычислительной системы. Из оставшихся

Таблица 4.5

Номер вывода	Обозначение	Наименование	Примечание
9—12, 14, 15, 32—42	[1—17]	Данные	Выходы
16, 17, 22, 23	[18—21]	»	»
24	⊥	Общий	—
25, 26, 46, 47	Ф1—Ф4	Синхронизация	Вход
27	$U_{\text{ип1}}$	Питание (+5 В)	—
28	ВК	Выборка кристалла	Вход
44	Р00	Данные и адреса	Выход
45	$U_{\text{ип2}}$	Питание (+12 В)	—
48	$U_{\text{ип3}}$	Питание (—5 В)	—

двух разрядов один используется для запоминания адреса возврата подпрограммы, другой инициирует программируемую трансляцию. Отличительной особенностью БИС ПЗУ является непосредственное декодирование «выбора модуля», которое выполняется масочным маскированием 2-разрядного селектирующего кода на стадии изготовления БИС, что исключает необходимость внешней селектирующей логики.

В одном из режимов обработки информации имеется возможность обращения к той области постоянной памяти, которая зарезервирована под микропрограммы пользователя. Это расширяет область эффективного применения МП.

В таблице 4.5 приведено назначение выводов БИС К581РУ1 — К581РУ3.

На рис. 4.4 приведена упрощенная структурная схема микро-ЭВМ «Электроника-60», построенной на базе МПК серии К581. Структура ЭВМ разработана по модульному принципу, т. е. все функциональные блоки

выполнены в виде конструктивно законченных устройств (модулей), связь между которыми осуществляется через единый канал обмена информацией. Таким образом, ЭВМ представляет собой систему модулей, объединенных каналом ЭВМ.

Поскольку связь между отдельными элементами системы, включая центральный процессор, осуществля-

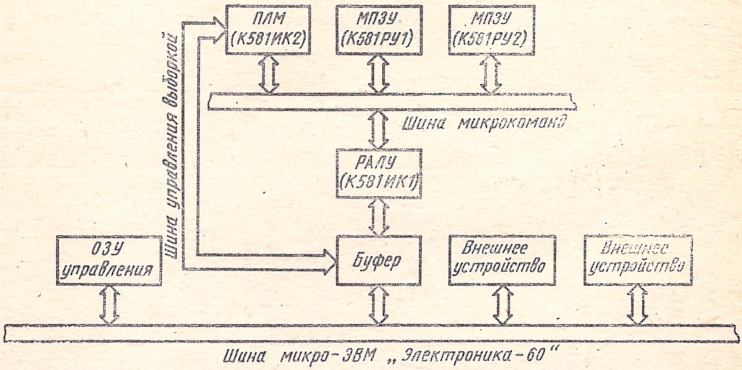


Рис. 4.4. Структурная схема микро-ЭВМ «Электроника-60» на МПК ИС серии К581

ется через канал, то внешние устройства так же доступны для ЦП, как и ОЗУ. Канал ЭВМ содержит 39 линий связи, из которых 32 являются двунаправленными. Это означает, что по одним и тем же линиям информация может как приниматься, так и передаваться относительно одного и того же устройства.

Пользователю предоставляется возможность самому определить необходимую конфигурацию системы в зависимости от конкретного применения. При этом могут использоваться устройства пользователя, разработанные с учетом требований к каналу.

5. Микропроцессорный комплект интегральных схем серии К584

Микропроцессорный комплект интегральных схем серии К584 (бК0.348.354 ТУ) изготавливается на основе технологии интегральной инжекционной логики ($И^2Л$).

Микросхемы комплекта предназначены для построения микро- и мини-ЭВМ, контроллеров и систем управления различной архитектуры. Микросхемы используются для построения как простых (системы автоматизированного управления технологическими процессами), так и сложных (многопроцессорные системы управления в реальном масштабе времени) вычислительных устройств.

Преимущества, свойственные И²Л БИС, такие, как один низковольтный источник питания, малая мощность потребления, широкий диапазон температуры эксплуатации, электрическая совместимость по входным и выходным характеристикам микросхем наиболее распространенных ТТЛ-серий (К133, К155, К555 и т. д.), и особенности функционального построения (модульность, наращиваемость, микропрограммируемость и т. п.) дают возможность получить высокие технико-экономические характеристики.

Таблица 5.1

Тип ИС	Функциональное назначение	Тип корпуса	Характеристики корпус		
			Число выводов	Длина, мм	Ширина, мм
К584ВМ	Центральный процессорный элемент	2123.40-1	40	51,5	15
К584ВУ1	Блок микропрограммного управления	244.48-5	48	32	33
К584ВГ1	Контроллер состояний	244.48-5	48	32	33

В состав МПК входят четыре типа БИС, функциональное назначение которых, условное обозначение, тип используемого корпуса и его геометрические размеры приведены в табл. 5.1.

Основные электрические параметры микросхем микропроцессорного комплекта К584 приведены в табл. 5.2.

Таблица 5.2

Обозначение ИС	Напряжение, В		Потребляемый ток, мА	Длительность цикла, нс
	„0"	„1"		
К584ВМ1	0,4	2,4	150	1000
К584ВУ1	0,4	2,4	100	500
К584ВГ1	0,4	2,4	100	500

Таблица 5.3

Номер вывода	Обозначение	Наименование	Примечание
1—5	К5—К9	Формирование 5-разрядного кода операции, определяющего размер обрабатываемого информационного слова, выбор операнда	Вход
6	СДЛ2	Обеспечение операции двойной точности в РРРГ (прием информации при сдвиге вправо, передача информации при сдвиге влево)	Вход/выход
9	СДП2	Обеспечение операции двойной точности в РРРГ (прием информации при сдвиге влево, передача информации при сдвиге вправо)	Вход/выход
10	СЛ	Селекция разрядов РРРГ	Выход
11	СДП1	Обеспечение сдвига выходных данных АЛУ (прием информации при сдвиге влево, передача информации при сдвиге вправо)	Вход/выход
12	СДЛ1	Обеспечение сдвига выходных данных АЛУ (прием информации при сдвиге вправо, передачи информации при сдвиге влево)	Вход/выход
13	ВХП	Обеспечение переноса в АЛУ	Вход
14—17	ВЫХ1—ВЫХ4	Шина выходных данных	Выход
20—21, 28—29	ВХ1—ВХ4	Шина входных данных	Вход
22	ВХСТ	Определение приращения счетчика команд на 1 или 2 в зависимости от уровня сигнала на входе во время последующего перехода синхронизирующего сигнала	Вход
23	ВЫХСТ	Выход программного счетчика, связанный со входом БИС более старшего разряда; для более высоких разрядов БИС является выходом старшего разряда шины 2	Выход
24	⊥	Общий	—
25, 26	П30—П31	Обеспечение управления внутренними состояниями входов и выходов БИС при их использовании в многоразрядной системе	Вход

Номер вывода	Обозначение	Наименование	Примечание
27	ИК	Обеспечение управления программным счетчиком; в многоразрядной системе является выходом старшего разряда	Вход/выход
30	С	Обеспечение типового сигнала синхронизации	Вход
31	$U_{\text{ип1}}$	Питание (+5 В)	—
33, 34, 36, 37	А	Шина выдачи адресов	Выход
35	ПРИОР	Обеспечение доступа программного счетчика к шине выдачи адресов и обеспечение внутреннего управления передачи данных по шине выдачи адресов	Вход
39	*X*	Обеспечение переноса АЛУ	Выход
40	*У*	Формирование переноса АЛУ	Выход
41	ВЫХП	Обеспечение вывода переноса из АЛУ	Выход
44—47	К1—К4	Обеспечение формирования кода операции АЛУ	Вход
48	$U_{\text{ип2}}$	Питание (+5В)	—

Допустимые условия эксплуатации БИС типа К584ИК1:

— диапазон рабочих температур от —10 до +70°С;

— относительная влажность воздуха до 98% при температуре окружающей среды до 35°С;

— многократное циклическое изменение температуры от —10 до +70°С;

— вибрационные нагрузки с ускорением до 20*g* в диапазоне частот от 1 до 3000 Гц;

— линейные нагрузки с ускорением до 150*g*;

— многократные удары длительностью от 1 до 3 мкс с ускорением до 150*g*.

Центральный процессорный элемент (ЦПЭ) типа К584ВМ1 представляет собой 4-разрядный наращиваемый процессор, обеспечивающий выполнение логических, арифметических и специальных функций, необходимых для параллельной обработки 4-разрядных или кратных четырем двоичных данных.

Назначение выводов БИС в корпусе 2123.40-1 приведено в табл. 5.3. В состав БИС ЦПЭ (рис. 5.1) входят: АЛУ, мультиплексоры АЛУ (М1 и М2), регистры общего назначения (РОН) с блоком управления регистром состояний (БУРГСН) и блоком формирования выходных сигналов регистра состояний (БФВЫХРГСН), два рабочих регистра (РРГ и РРРГ) с мультиплексорами соответственно МРРГ и МРРРГ, программируемая логическая матрица (ПЛМ) с регистром операций (РГОП), мультиплексор адреса (МА), блок управления операциями переносов (БУОППС) и блок селекции разрядов (БСКР).

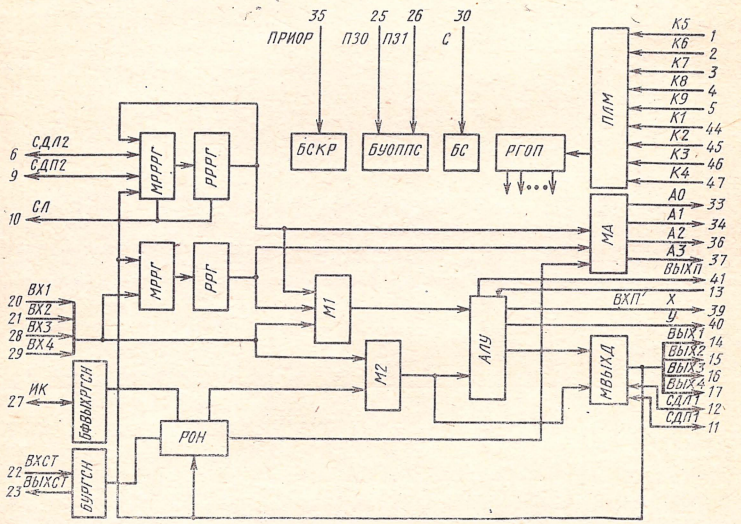


Рис. 5.1. Структурная схема БИС центрального процессорного элемента К584ВМ1

АЛУ представляет собой арифметическо-логический блок, который реализован на 4-разрядном сумматоре со схемами управления и может выполнять восемь логических и восемь арифметических операций с использованием одного из двух или обоих операндов. Операнды поступают в АЛУ через мультиплексоры или непосредственно со входов БИС, или с регистров внутренней памяти, или с рабочих регистров, если они являются результатами промежуточных операций. В АЛУ предусмотрена схема ввода и вывода для реализации ускоренных переносов при построении многомодульной системы. Струк-

тура АЛУ такова, что промежуточные результаты могут заноситься либо в блок памяти, либо в регистры.

Режим работы АЛУ определяется 4-разрядным двоичным кодом операции 9-разрядной микрокоманды на входах ПЛМ, которая в свою очередь вырабатывает 4-разрядный код микрокоманды. ПЛМ представляет собой программируемый в процессе изготовления блок преобразования входной 9-разрядной микрокоманды в 20-разрядную машинную микрокоманду, которая поступает в регистр операции (РГОП). Эта управляющая микрокоманда содержит все логические признаки, необходимые для выполнения выбранной инструкции.

РРГ используется в качестве накапливающего сумматора промежуточных данных во время итеративной обработки информации. Передача информации из РРГ в АЛУ осуществляется через мультиплексор М2, а из РРГ на шину адреса — через мультиплексор адреса. Прием информации в РРГ с входных и выходных шин АЛУ производится через мультиплексор РРГ. Режим работы РРГ определяется значением управляющего сигнала синхронизации.

РРРГ используется в качестве накапливающего сумматора при преобразовании адресов и расширенного РРГ при обработке операндов удвоенного размера и передает информацию в АЛУ через мультиплексор М1 и в адресную шину через МА. РОНы, используемые в качестве внутренней памяти, состоят из восьми 4-разрядных регистров. Один из регистров может использоваться как программный счетчик. Выбор регистра в процессе функционирования осуществляется 3-разрядной микрокомандой, транслируемой на ПЛМ.

Мультиплексор адреса осуществляет передачу информации или из РРГ и РРРГ, или из счетчика команд на шину адреса. В зависимости от содержания РГОП информация на шину адреса передается или из РРГ, или из РРРГ при 1 на входе РГС (при 1 на входе РГС содержимое счетчика команд передается на шину адреса независимо от содержимого РГС).

Девятиразрядное входное слово ПЛМ дает возможность получить 512 разновидностей машинных операций. С целью облегчения задачи программирования ПЛМ, улучшения понимания взаимодействия трех областей входной микрокоманды операции разделены на 6 видов, включающих 45 типов операций, прибавив к которым

функции АЛУ и комбинации RF можно реализовать 459 операций.

Блок микропрограммного управления К584ВУ1 представляет собой устройство, определяющее последовательность адресов выбираемых ячеек микропрограммного ЗУ.

Назначение выводов БИС в корпусе типа 244.48-5 приведено в табл. 5.4. В состав БИС (рис. 5.2) входят:

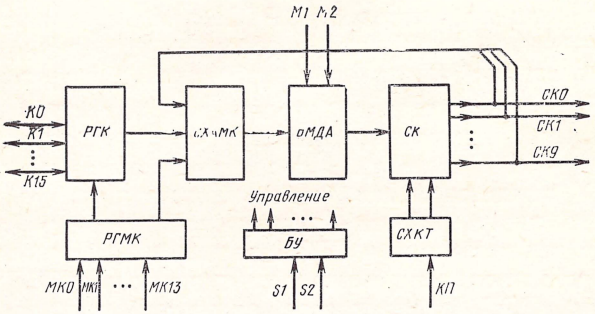


Рис. 5.2. Структурная схема БИС микропрограммного управления К584ВУ1

16-разрядный регистр команд (РГК), схема образования адреса микрокоманды (СХАМК), блок модификации адреса (БМДА), двухуровневый стек регистров адреса микрокоманд (СК), 14-разрядный регистр микрокоманд (РГМК), схема контроля питания (СХКТ), блок управления (БУ).

БИС БМУ работает в четырех основных режимах:

— адресации с анализом содержимого младшего байта регистра команд;

Таблица 5.4

Номер вывода	Обозначение	Наименование	Примечание
1, 2,20—23, 26—33	МК0—МК13	Микрокоманда	Вход
3—18	К0—К15	Команда	Вход/выход
19,47	S1—S2	Синхронизация	Вход
24	⊥	Общий	—
25,48	$U_{ип}$	Питание	—
34,35	М1, М2	Условный переход	Вход
36	КП	Контроль питания	Вход
37—46	СК0—СК9	Системный канал	Вход

— адресации с анализом содержимого старшего байта регистра команд;

— последовательного перебора адресов микрокоманд;

— принудительной адресации.

Условные переходы в микропрограммах осуществляются модификацией генерируемого адреса в зависимости от кода на входах Ш1, Ш2. Микросхема не имеет специальных команд условных переходов. Управляя модификацией, можно совершать переходы в четыре точки: —1, 0, +1, +2. Регистр команд предназначен не только для хранения и анализа управляющих команд, но и для образования на их основе констант, выдаваемых в двунаправленную 16-разрядную шину данных.

Отличительной особенностью БИС БМУ является наличие в ее составе схемы контроля питания, которая «позволяет распознать» моменты включения и сбоев питания определенной длительности. В БМУ реализована трехуровневая иерархия прерываний с убыванием приоритета от «включения» до «сбоя» и внешнего запроса. Благодаря наличию стека регистров адреса микрокоманд БИС БМУ позволяет обрабатывать прерывания и подпрограммы на микропрограммном уровне.

Режим функционирования микросхемы обеспечивается двумя синхросериями и управляется 14-разрядным кодом микрокоманды. При сокращении объема адресуемого поля ПЗУ микрокоманд возможно сокращение числа разрядов управляющих инструкций БМУ.

Контроллер состояний (КС) К584ВГ1 предназначен для обработки признаков ветвлений программ и микро-

Таблица 5.5

Номер вывода	Обозначение	Выполняемая функция	Примечание
1,37—43, 46, 47	МК0—МК9	Микрокоманда	Вход
2	Н	Декодер нуля	Вход/выход
3—18	Д0—Д15	Данные	Вход/выход
19,21	Вх1, Вх2	Перенос	Вход
20,22	В1, В2	Перенос	Выход
23	П	Приоритет	Вход
24	⊥	Общий	—
25—34	У1—У10	Управление	Вход
35—36	S1, S2	Синхронизация	Вход
44,45	М1, М2	Условный переход	Выход
48	$U_{ип}$	Питание	—

программ, формирования и хранения векторов состояний микро-ЭВМ, подсчета циклов и логической обработки данных.

Назначение выводов БИС КС в корпусе типа 244.48-5 приведено в табл. 5.5. В состав БИС (рис. 5.3) входят: 8-разрядный регистр состояний (РГСН), декодер состояния нуля (ДКДН), блок битовых операций (БОП), два 8-разрядных таймера (ТМ1, ТМ2), 7-входовый коммутатор условий (КМУЛ), 10-разрядный регистр микрокоманд (РГМК), схема формирования признаков (СХФПН).

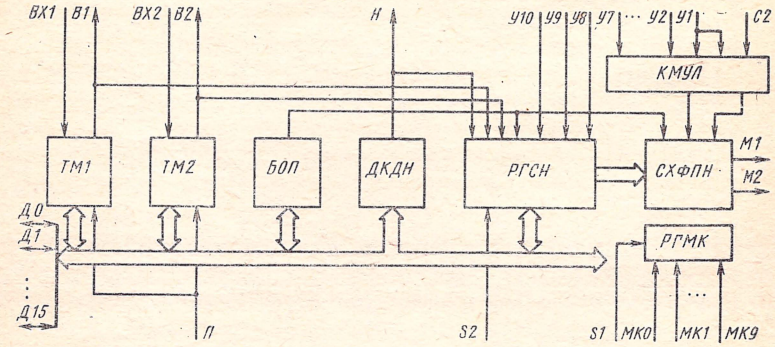


Рис. 5.3. Структурная схема БИС контроллера состояний К584ВГ1

БИС КС работает с 16-разрядной шиной данных и позволяет обрабатывать десять входов условий (У1, У2, ..., У10). Возможно также наращивание разрядности шины данных, разрядности таймеров и числа обрабатываемых условий. Микросхема КС совместно с микросхемой БМУ может использоваться для управления условными переходами в микропрограммах по входам М1 и М2. КС совместно с ЦПЭ может использоваться также для управления счетом в РОН [7] по входам управления инкрементом (УИ) и программного счетчика (ПСТ); КС можно применять автономно в качестве контроллера для периферийных устройств.

На рис. 5.4 изображена структурная схема микро-ЭВМ, реализованная на базе МПК БИС К584. Из четырех ЦПЭ и блока ускоренного переноса строится центральный процессор, производящий обработку и оперативное хранение 16-разрядной информации. БИС КС, подключенная к шине выхода процессора, анализирует результаты выполнения операций и различает условия

подключения к ее специальным входам. Кроме того, БИС КС осуществляет подсчет циклов и хранит информацию о состоянии процессора.

БИС БМУ, подключенная к шине входа процессора, принимает во внутренний регистр команд инструкции, считываемые из основной памяти. На основе кодов

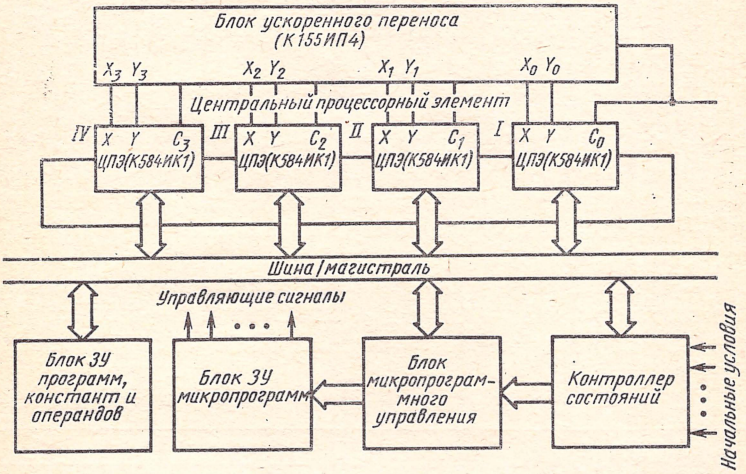


Рис. 5.4. Структурная схема микро-ЭВМ на МПК ИС серии К584

команд производится адресация к начальным ячейкам микропрограмм обработки операций, хранимых в ПЗУ микрокоманд.

6. Микропроцессорный комплект интегральных схем серии К586

Микропроцессорный комплект серии К586 (бК0.348.497 ТУ), выполненный на основе *n*-МДП-технологии, предназначен для построения микро-ЭВМ семейства «Электроника С5», используемых для управления технологическим и контрольно-испытательным оборудованием, для построения периферийных процессоров информационных и управляющих систем, а также многоплатных микропроцессорных систем.

В состав МПК К586 входят четыре схемы высокой степени интеграции и функциональной сложности. Три схемы выполнены в корпусах типа 2 (ГОСТ 17.467—79), одна схема — в корпусе типа 4. Все схемы комплекта могут использоваться при следующих условиях эксплуатации:

— интервал рабочих температур от —10 до +70°С;

— относительная влажность воздуха до 98% при температуре +25°С;

— многократное циклическое изменение температуры от —10 до +70°С;

— вибрационные нагрузки с ускорением до 10g в диапазоне частот от 1 до 600 Гц;

— линейные нагрузки с ускорением до 25g;

— многократные удары с ускорением до 75g при длительности от 2 до 6 мс;

— при подаче на микросхемы постоянных напряжений питания: +5,0 В±5%; +12,0 В±5%; —5,0 В±5% и тактового импульсного напряжения с амплитудой от 12,6 до 10,7 В.

Таблица 6.1

Обозначение ИС	Наименование ИС	Характеристики корпуса			
		Обозначение	Число выводов	Длина, мм	Ширина, мм
К586ИК1	Однокристальный микропроцессор	244.48-8	48	32	33
К586ИК2	Устройство ввода—вывода	244.48-8	48	32	33
К586РУ1	Статистическое ОЗУ	460.24-1	24	31,5	31,5
К586РЕ1	ПЗУ	244.48-8	48	32	33

Функциональное назначение входящих в МПК К586 интегральных схем, их число приведены в табл. 6.1, а типовые характеристики — в табл. 6.2.

Приведем краткое описание структуры и функционирования каждой интегральной схемы МПК К586.

Однокристальный микропроцессор (ОМП) К586ИК1 (бК0.348.497 ТУ3) предназначен для построения быстродействующих микропроцессорных устройств и микроЭВМ массового применения. ОМП ведет обработку слов, поступающих с 16-разрядной адресно-информационной шины, и выдает на нее полученную информацию, обеспечивает режим прямого доступа внешних

Таблица 6.2

Обозначение ИС	Напряжение, В		Разрядность, бит	Частота синхроимпульсов МГЦ	Потребляемая мощность, Вт
	„0"	„1"			
К586ИК1	$<0,4$	$>2,4$	16	0,25—2,0	1,0
К586ИК2	$<0,4$	$>2,4$	8	0,25—2,0	0,7
К586РУ1	$<0,4$	$>2,4$	254×4	2,0	0,16
К586РЕ1	$<0,4$	$>2,4$	1024×16	2,0	0,24

устройств во внутреннюю память микро-ЭВМ, формирует сигналы запроса ЗУ и записи в ЗУ, выполняет арифметические операции как с фиксированной, так и с плавающей запятой, логические операции и т. п. Принцип работы с ЗУ и УВВ — асинхронный. В ОМП предусмотрена возможность приема и обработки сигнала прерывания.

Корпус ОМП К586ИК1 имеет 48 выводов, назначение которых приведено в табл. 6.3. ОМП (рис. 6.1) состоит

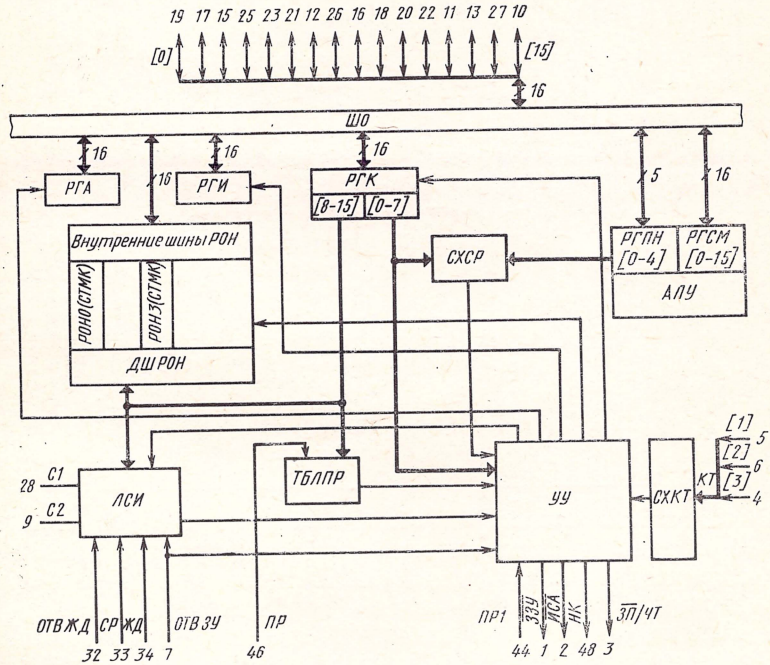


Рис. 6.1. Структурная схема БИС однокристального микропроцессора К586ИК1

из следующих устройств: регистров адреса (РГА), информации (РГИ), команд (РГК), регистров общего назначения (РОН), параллельного АЛУ, устройства управления (УУ), схемы сравнения (СХСР), триггера блокировки прерываний (ТБЛПР) и логики формирования синхроимпульса (ЛСИ). 16-разрядный РГИ служит для записи и чтения информации с внешней информационной шины; 16-разрядный РГК служит для приема и хранения команды в течение цикла ее исполнения. Соответствующие разряды регистра команд соединены с устройством управления, общими регистрами, схемой сравнения и триггером прерываний.

Таблица 6.3

Номер вывода	Обозначение	Наименование	Примечание
1	$\overline{\text{ИСА}}$	Импульс сопровождения адреса	Выход
2	ЗЗУ	Запрос ЗУ	Выход
3	ЗП/ЧТ	Запись в ЗУ	Выход
4—6	КТ	Контрольный вход	Вход
7	ОТВЗУ	Ответ ЗУ	Вход
8	ПСК	Пуск	Вход
9, 28	С	Синхроимпульс	Вход
10—13, 15—23, 25—27	ШИ	Информационная шина	Вход/выход
14	$\perp$	Общий	
24	$U_{\text{ип1}}$	Питание (—5 В)	
32	ОТВЖД	Ответ сигнала ожидания	Выход
33	СР	Сигнал сравнения	Вход
34	ЖД	Сигнал ожидания	Вход
35, 43	$U_{\text{ип2}}$	Питание (+5 В)	
36, 45	$U_{\text{ип3}}$	Питание (+12 В)	
44	ПР1	Прерывание 1	Вход
46	ПР	Прерывание	Вход
47	СБР	Сброс	Вход
48	НК	Начало команды	Выход

В состав регистров общего назначения входят 16 16-разрядных регистров, выполняющих функции приема и хранения информации; РОНО выполняет функцию счетчика команд и при каждом обращении его содержимое увеличивается на 2, а РОН3 имеет возможность увеличения содержимого на два в пределах пяти младших разрядов и выполняет роль счетчика внешних микрокоманд.

АЛУ содержит 16-разрядный многофункциональный регистр-сумматор (РГСМ) и 4-разрядный регистр признаков (РГПН). РГСМ предназначен для выполнения операций над его содержимым и данными, поступающими с ШО, и для запоминания результата операций. РГПН предназначен для выработки и запоминания признаков результата операции и для приема данных с ШО [0—3]. АЛУ выполняет арифметические и логические операции и вырабатывает признаки. Управляется АЛУ 5-разрядным кодом, поступающим из устройства управления.

Устройство управления вырабатывает последовательность микрокоманд, управляющих приемом, выдачей и обработкой информации в микропроцессоре. СХСР по содержимому регистра признаков и регистра команд вырабатывает сигнал, поступающий в УУ при командах условного перехода. Триггер блокировки прерываний разрешает или запрещает внешнее программно-маскируемое прерывание. Логика формирования синхроимпульса обеспечивает формирование основных синхронизирующих сигналов для УУ.

Внешний интерфейс МП служит для организации работы ОМП с внешними устройствами ввода — вывода и памятью. Внешний интерфейс включает 16-разрядную двунаправленную совмещенную адресно-информационную шину, а также управляющие сигналы ЗАПРОС (З), ЗАПИСЬ — СЧИТЫВАНИЕ (ЗП/ЧТ), ИМПУЛЬС СОПРОВОЖДЕНИЯ АДРЕСА (ИСА), НАЧАЛО КОМАНДЫ (НК).

Для обеспечения работы ОМП в реальном масштабе времени в мультипрограммном режиме введены сигналы прерываний ПР и ПР1, причем сигнал ПР является программно-маскируемым прерыванием, а ПР1 — немаскируемым.

Для организации прямого доступа внешних устройств во внутреннюю память микро-ЭВМ с внешнего устройства на вход ОМП к началу С2 должен поступить сигнал ожидания (ЖД). ОМП выдает сигнал ОТВЖД длительностью не менее двух тактов следования тактовых импульсов и прерывает свою работу после выполнения текущей микрокоманды.

Пуск МП после выполнения команды ПРОГРАММНОГО ОСТАНОВА осуществляется подачей сигнала ПСК, поданного к началу С1 и снятого к началу следу-

Таблица 6.4

Номер вывода	Обозначение	Наименование	Примечание
1, 3	С	Синхроимпульс	Вход
2	$U_{ип3}$	Питание (+12 В)	
4—11	ШВБ	Внешняя шина Б	Вход/выход
12	ПР/СТР АУ	Строб переписи между регистром А и регистром У/Выход Прерывание	Вход
13	ВЫХРГС	Выход регистра С	Выход
14	РЖРГС	Режим регистра С	Вход
15	РЖШВБ	Режим работы внешней шины Б	Вход
16	РЖОБМ	Режим обмена	Вход
17	СТРШВБ	Строб шины внешней Б	Вход
18	СТРБС	Строб переписи между регистром Б и и регистром С	Вход
19	СД/СБР	Сдвиг/сброс регистра С	Вход
20	З	Запрос	Вход
21	ВБР	Выборка	Вход
22	ЗП/ЧТ	Запись/считыв ание	Вход
23	ВЫХСР	Выход системы сравнения	Выход
24	$U_{ип1}$	Питание (—5,0 В)	—
25	$U_{ип2}$	Питание (+5,0 В)	—
26	ОТВ	Ответ	Выход
27	ВХРГС	Вход в регистр С	Вход
28	СТРШВА	Строб шины внешней А	Вход
29	СБР	Сброс	Вход
30	РВХРГС	Разрешение входа в регистр С	Вход
31	РЖШВА/БЛСР	Режим шины внешней А. Блокировка сравнения	Вход
32, 34, 36, 38, 40, 42, 44, 46	ШВА	Внешняя шина А	Вход/выход
33, 35, 37, 39, 41, 43, 45, 47	ШИ	Шина информационная	Вход/выход
48	⊥	Общий	

ющего такта. Обращение к памяти за командой производится через такт после прихода сигнала ПСК.

ОМП устанавливается в начальное состояние сигналом СБР, который должен быть установлен к началу С1 и держаться три такта. Через два такта после окончания сигнала СБР/ОМП начинает обращение к памяти за первой командой по адресу 1000.

Устройство ввода — вывода К586ИК2 (бК0.348.497 ТУ4) — быстродействующая многоцелевая БИС, имеющая перестраиваемую внешними сигналами 8-разрядную структуру, предназначена для использования в качестве базового элемента стыковки устройств ввода — вывода с МП микро-ЭВМ. УВВ применяется для организации ввода — вывода параллельного кода, для работы в качестве адаптера и таймера и построения системы прерывания программы. Так как схема может выполнять различные функции, то на основе ее можно создать разнообразные цифровые УВВ, обеспечивающие стыковку микро-ЭВМ с различными объектами и решение широкого круга задач.

Корпус УВВ К586ИК2 имеет 48 выводов, назначение каждого из выводов приведено в табл. 6.4; УВВ (рис. 6.2) состоит из четырех регистров [регистр запросов прерывания (РГА), регистр защиты (РГБ), регистр сдвига-счетчик (РГС), регистр условий (РГУ)], схемы маскирования (СХМС), схемы сравнения (СХСР) и логических элементов, обеспечивающих взаимодействие и задающих различные режимы работы основных узлов.

Обмен информацией между регистрами и внешними устройствами производится через две 8-разрядные внешние шины (ШВА и ШВБ): ШВА подключена к РГА, ШВБ — к РГБ либо РГС. Каждая шина имеет управляющий вход СТРШВА, СТРШВБ, который определяет направление передачи информации и обеспечивает возможность ввода информации в микросхему как в режиме с запоминанием, так и без запоминания.

Обмен информацией между УВВ и ОМП производится через 8-разрядную шину информации (ШИ). Все четыре регистра микросхемы программно доступны для микропроцессора.

Регистры РГА и РГБ помимо обычных записи и считывания допускают запись информации со стороны ОМП с одновременной реализацией операций поразрядного логического сложения и умножения (ЛС, ЛУ) и

считывание из них информации с одновременным сбросом регистра в состояние «0». Обнуление при считывании не приводит к потере информации, поступающей в РГ со стороны ШВА и ШВБ в момент считывания.

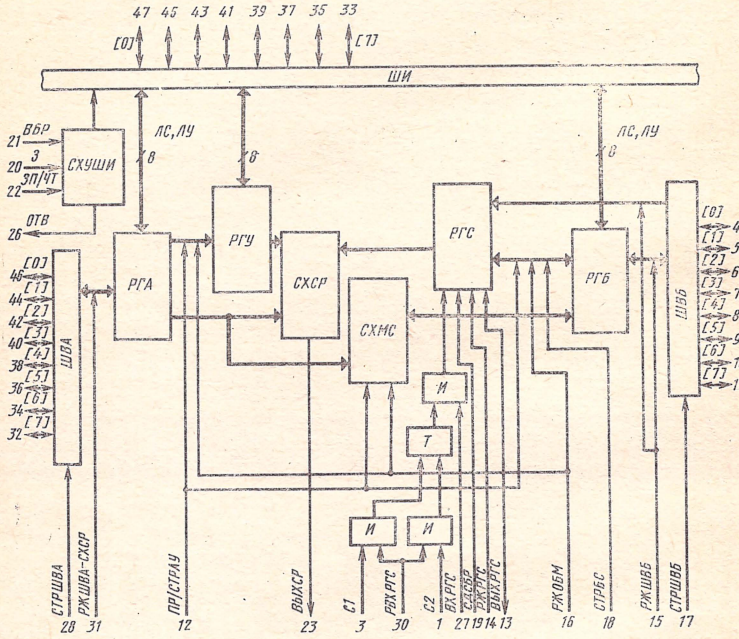


Рис. 6.2. Структурная схема БИС устройства ввода — вывода К586ИК2

Чтобы записать в какой-либо из регистров микросхемы информацию из ШИ, необходимо сформировать и подать на соответствующие входы сигналы управления ВБР, З, ЗП, а также адрес регистра на ШИ (в соответ-

Таблица 6.5

Наименование регистра	Адрес	
	ШИ [6]	ШИ [7]
РГА	0	0
РГУ	1	1
РГС	1	0
РГБ	0	1

Таблица 6.6

Значения признаков		Операции с регистрами						
		Запись				Считывание		
ЛСШИ [4]	ЛУШИ [5]	РГА, РГБ	РГУ	РГС	РГА	РГБ	РГУ	РГС
0 1	0 1	ЗП	ЗП	ЗП	ЧТ	ЧТ	ЧТ	ЧТ
0	1	ЛУ	ЗП	ЗП	ЧТ сквозь маску	ЧТ	ЧТ	ЧТ
1	0	ЛС	Запись со сбросом РГС	Запись РВХРГС	ЧТ со сбросом	ЧТ со сбросом	ЧТ	ЧТ, запрет ВХРГС

ствии с табл. 6.5) и признаки ЛС и ЛУ на ШИ (в соответствии с табл. 6.6).

Все сигналы управления должны быть достоверны на входах БИС УВВ в момент поступления С2.

Информация записывается в УВВ с ШИ в момент окончания сигнала ВБР. После приема сигналов ВБР и З УВВ, не позднее чем к моменту прихода С1 следующего такта, вырабатывает сигнал ОТВ. Длительность сигнала ОТВ определяется длительностью сигнала ВБР.

Чтобы считать информацию из какого-либо регистра УВВ на ШИ, необходимо подать сигналы ВБР, З и ЧТ (инвертированный сигнал ЗП) на микросхему УВВ. При этом восприятие адреса регистра, признаков ЛС, ЛУ и выработка сигнала ОТВ аналогичны записи, а информация из регистра выставляется на ШИ через такт после окончания сигнала ВБР и поддерживается на ШИ потенциально до снятия сигнала З. Длительность сигнала ОТВ при считывании равна не менее 1,5 T (T — длительность периода следования синхроимпульсов).

Регистры РГУ и РГС допускают только запись со стороны МП без реализации операций ЛС, ЛУ и считывание без обнуления. Имеется возможность автоматически обнулять РГС в момент записи информации в РГУ, это достигается соответствующей установкой признаков ЛС и ЛУ при выдаче адреса РГУ из ОМП для записи в него информации через ШИ.

Регистр РГС многофункционален и может функционировать как счетчик, работающий на сложение или

вычитание, либо как реверсивный регистр сдвига. Режим работы РГС задается подключением входа РЖРГС к одному из входов (+5 В или ОБЩИЙ) питания или к одному из синхроимпульсов С1, С2.

Сигнал РВХРГС и стартстопный триггер разрешают и блокируют прохождение сигналов со входа ВХРГС внутрь УВВ, причем в зависимости от значения сигналов на входе РВХРГС прохождение сигналов через вход может быть или разрешено, или запрещено независимо от состояния стартстопного триггера, или управление входом РГС может быть передано стартстопному триггеру.

Возможно последовательное включение РГС нескольких УВВ в любом из вариантов функционирования (счетчик или регистр сдвига).

Для включения УВВ в 16-разрядный счетчик необходимо:

— подключить входы РЖРГС 1-й и 2-й микросхем в соответствии с выбранным режимом работы;

— соединить вход ВЫХРГС 1-й УВВ с входом ВХРГС 2-й УВВ (или включить схему ускоренного переноса);

—подать на вход ВХРГС 1-й УВВ импульс счета.

При использовании РГС в качестве 16-разрядного регистра сдвига необходимо последовательно включить два УВВ и последовательно подавать информацию на вход ВХРГС, а выводить ее с выхода ВЫХРГС 2-го УВВ.

Для формирования сигналов прерывания ПР используются регистры А и Б. Сигналы прерывания с ШВА поступают в РГА, а РГБ в это время является регистром маски. Выходной сигнал ПРВ возникает при наличии 1 в немаскированных разрядах РГА. Маскирование прерываний производится записью 1 в соответствующие разряды РГБ.

Информацию с РГА можно считывать в ШИ «сквозь маску», в этом случае с маскированных разрядов считываются 0, с немаскированных — зафиксированная там информация. При считывании сквозь маску РГА не обнуляется.

Для переписи информации из РГА в РГУ и для двустороннего обмена РГС и РГБ УВВ имеет внутренние шины, управляемые сигналом РЖОБМ. Перепись информации из РГА в РГУ и РГС в РГБ производится сигналом СТРОБ ПЕРЕПИСИ, в первом случае он

подается на вход ПР/СТРАУ, во втором — на СТРБС. Информация в регистре, из которого производится перепись, сохраняется.

Статическое ОЗУ К586РУ1 (бК0.348.497 ТУ2) предназначено для записи, хранения и считывания информации. Корпус ОЗУ К586РУ1 имеет 24 вывода, назначение которых приведено в табл. 6.7; ОЗУ (рис. 6.3) состоит из следующих устройств: накопителя, выполненного на

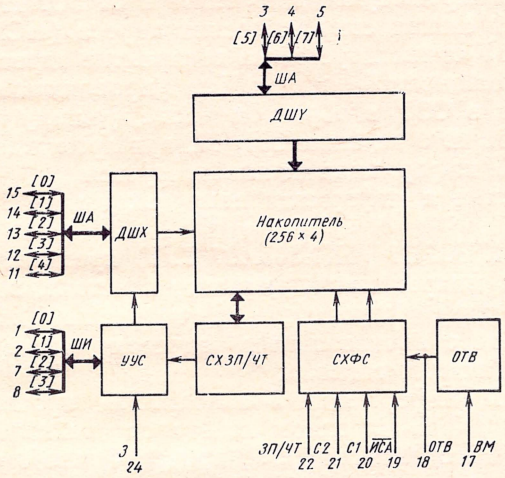


Рис. 6.3. Структурная схема БИС ОЗУ К586РУ1

Таблица 6.7

Номер вывода	Обозначение	Наименование	Примечание
1, 2, 7, 8	ШИ	Шина информационная	Вход/выход
3—5, 11—15	ША	Шина адресная	Вход/выход
9	$U_{ип1}$	Питание (—5 В)	
10		Свободный	
16	$U_{ип2}$	Питание (+5 В)	
17	ВМ	Выбор микросхемы	Вход
18	ОТВ	Ответ	Вход
19	ИСА	Импульс сопровождения адреса	Вход
20, 21	С	Синхроимпульс	Вход
22	ЗП/ЧТ	Запись—считывание	Вход
23	⊥	Общий	
24	$\overline{З}$	Запрос	Вход

базе статического шеститранзисторного запоминающего элемента, предназначенного для хранения информации; регистра с дешифратором *X* на 32 выхода и дешифратором *Y* на восемь выходов; схемы записи и считывания; схемы запрета для обеспечения нейтральности выхода в период режима хранения, схемы ответа (СХФС).

Взаимодействие ОЗУ с ОМП и УВВ при обмене информации происходит в течение четырех тактов следования синхроимпульсов. В такте 1 от ОМП в память поступает сигнал сопровождения адреса (ИСА), по которому ЗУ ориентируется на восприятие адреса с адресно-информационной шины. Все управляющие сигналы подаются в ОЗУ в обратном коде, режиму ЗАПИСЬ соответствует 0 на шине ЗП/ЧТ, при прохождении через БИС ОЗУ информация не инвертируется.

Адресные и информационные входы в ОЗУ разделены.

ПЗУ К586РЕ1 (бК0.348.497 ТУ1) предназначено для хранения микрокоманд, команд, констант, записанных во внутреннем накопителе, и считывания их из ячеек накопителя с произвольным адресом после прохода запрашивающего сигнала.

Запись информации в накопитель производится в двоичном коде на одном из этапов технологического процесса изготовления ПЗУ, причем 1 или 0 соответствует наличие транзистора в пересечении координат мат-

Таблица 6.8

Номер вывода	Обозначение	Наименование	Примечание
1	ВМ	Выбор микросхемы	Вход
2	ИСА	Импульс сопровождения сигнала	Вход
3, 4, 6, 17, 19—23, 25—31, 33, 37, 38, 43—45	—	Свободный	
5	З	Запрос	Вход
7	⊥	Общий	
8, 10, 32—36, 39—41	ША	Вход адреса/выход числа	Вход/выход
11, 14—18, 42	ША	Выход числа	Выход
12, 13	С	Синхроимпульс	Вход
46	$U_{\text{ип2}}$	Питание (+5 В)	
47	$U_{\text{ип3}}$	Питание (+12 В)	
48	ОТВ	Ответ	Выход

рицы накопителя или его отсутствие. Такой способ записи информации обеспечивает хранение ее без затраты мощности источника питания.

Корпус ПЗУ К586РЕ1 имеет 48 выводов, назначение которых приведено в табл. 6.8; ПЗУ (рис. 6.4) содержит следующие устройства: матричный накопитель, выполненный на базе однотранзисторных запоминающих эле-

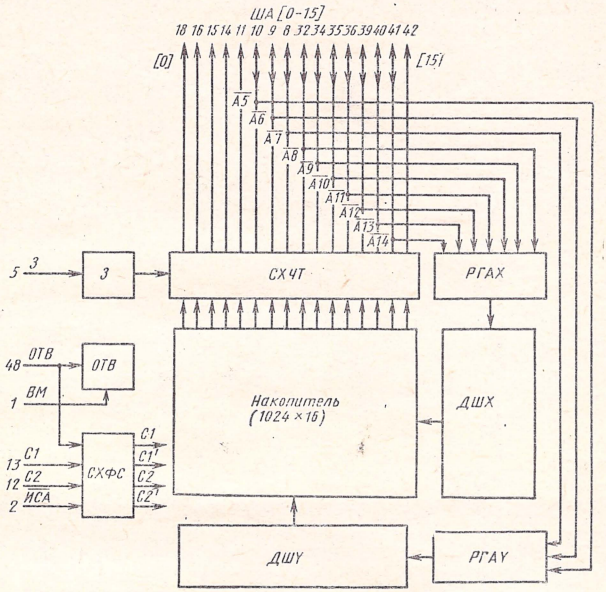


Рис. 6.4. Структурная схема БИС ПЗУ К586РЕ1

ментов; регистры адреса с дешифраторами *X* и *Y*; схему считывания, схему запроса для отключения выходных буферов в период отсутствия обращений к микросхеме, схему ответа.

Взаимодействие ОМП и ПЗУ осуществляется по той же схеме, что и взаимодействие ОМП с ОЗУ, с той лишь разницей, что ПЗУ реализует только считывание информации. Информация на входе ПЗУ представлена в обратном коде.

В БИС ПЗУ десять разрядов кода адреса и десять разрядов считываемого числа объединены на входах микросхемы согласно табл. 6.9.

На рис. 6.5 приведена структурная схема микро-ЭВМ «Электроника С5-21», построенной на базе МПК ИС

серии К586. Микро-ЭВМ «Электроника С5-21» — одноплатная 16-разрядная вычислительная машина с микропрограммным управлением, предназначена для построения цифровых управляющих систем. Состоит из микропроцессора, устройств памяти и ввода — вывода, генератора тактовых импульсов и схемы организации мультипроцессорной системы. 16-разрядный микропроцессор выполнен на одной микросхеме (К586ИК1). За-

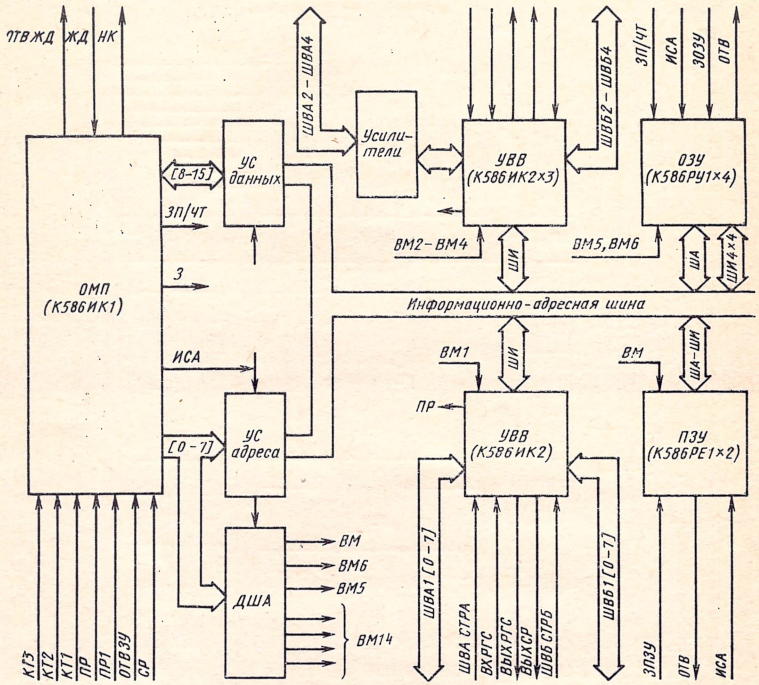


Рис. 6.5. Структурная схема микро-ЭВМ «Электроника С5-21» на МПК ИС серии К586

поминающее устройство микро-ЭВМ содержит 16-разрядное ОЗУ емкостью 256 (четыре микросхемы К586РУ1) и 16-разрядное ПЗУ емкостью 2048 (две микросхемы К586РЕ1). Устройство ввода — вывода, предназначенное для связи микро-ЭВМ с внешними устройствами (четыре микросхемы К586ИК2), имеет восемь параллельных 8-разрядных каналов ввода — вывода и перестраиваемую 8-разрядную структуру.

В основу микро-ЭВМ положен шинный принцип организации связей между ее устройствами; МП, ЗУ и УВВ связаны двунаправленной совмещенной адресно-информационной 16-разрядной шиной, управление которой осуществляется таким образом, что в один и тот же момент времени информация поступает из одного источника на один приемник. Ввод — вывод информации от внешних устройств в микро-ЭВМ производится по

Таблица 6.9

Разряд числа на выходе ПЗУ	5	6	7	8	9	10	11	12	13	14
Разряд адреса на выходе ПЗУ	0	1	2	4	5	6	7	8	9	10

восьми 8-разрядным шинам ШВА1—ШВА4, и ШВБ1 — ШВБ4. Связь с внешними устройствами по трем параллельным каналам ШВА2 — ШВА4 происходит через усилители (шинные формирователи), что позволяет получить выходной ток до 50 мА. По пяти параллельным каналам (ШВА1, ШВБ1—ШВБ4) осуществляется связь с внешними устройствами непосредственно от входов микросхемы (выходной ток 2 мА).

Микро-ЭВМ обеспечивает асинхронный режим работы с внешней памятью, режим прямого доступа к памяти со стороны внешних устройств, мультипрограммный режим работы в реальном масштабе времени.

Технические данные микро-ЭВМ «Электроника С5-21»:

Разрядность данных, бит 16

Время выполнения команды сложения/обмена общих регистров, мкс 5,5/4,0

Потребляемая мощность, Вт, не более . . 20

Габаритные размеры, мм . . . . 29×309×252

Различные вычислительные системы на базе МПК серии К586 строят с использованием микросхем серий К155, К555, К531, К592, К589.

7. Микропроцессорный комплект интегральных схем серии К587 и КР587

Микропроцессорный комплект серий К587, КР587, выполненный на базе высокопороговой КМДП-технологии, предназначен для построения различных контроллеров, микропроцессоров, микро-ЭВМ и других устройств вычислительной техники. МПК выпускается в двух типах корпуса: керамическом (К587) и пластмассовом (КР587). Относительно высокое быстродействие, возможность наращивания разрядности, функциональная гибкость, микропрограммное управление и другие достоинства обеспечивают комплекту широкую область применения.

Отличительные особенности: высокая помехоустойчивость и рекордно малое энергопотребление — во многих областях применения ставят комплект вне конкуренции с другими МПК.

В состав МПК (табл. 7.1) входят четыре типа БИС, причем одна из них — БИС управляющей памяти (БИС УП) — выпускается в различных вариантах, отличающихся набором записанных в ее ПЛМ микрокоманд.

Таблица 7.1

Обозначение ИС	Наименование ИС	Характеристики корпуса			
		Тип	Число выводов	Длина, мм	Ширина с выводами, мм
К587ИК2, КР587ИК2	Арифметическое устройство	429.42-1	42	26,6	33,7
		2204.42-1	42	26,0	35,0
К587ИК1, КР587ИК1	Устройство обмена информацией	429.42-1	42	26,6	33,7
		2204.42-1	42	26,0	35,0
К587ИК3, КР587ИК3	Арифметический расширитель	429.42-1,	42	26,6	33,7
		2204.42-1	42	26,0	35,0
К587РП1, КР587РП1	Управляющая память*	429.42-1	42	26,6	33,7
		2204.42-1	42	26,0	35,0

* Выпускается в вариантах, отличающихся наборами записанных в них микрокоманд.

Дополнительно в МПК включена ИС средней интеграции К530АП2 (К531АП2), выполненная по ТТЛШ-технологии и предназначенная для передачи двоичной

информации по двунаправленным линиям связи и для согласования напряжений логических уровней ТТЛ и высокопороговых КМДП-приборов.

Типовые характеристики БИС приведены в табл. 7.2.

Таблица 7.2

Тип ИС	Разрядность, бит	Число микрокоманд	Время цикла, мкс	Напряжение питания, В	Потребляемая мощность, мВт
К587ИК2	$4\times n$	168	2,0	$9\pm10\%$	50
К587ИК1	$8\times n$	50	1,0	$9\pm10\%$	50
К587ИК3	$8\times n$	50	5,0—7,0	$9\pm10\%$	50
К587РП1			4,0	$9\pm10\%$	50

Все БИС комплекта обеспечивают устойчивую работу при следующих условиях:

— интервал рабочих температур от —25 до +70°С;

— относительная влажность воздуха 98% при $T=25$°С;

— вибрации в диапазоне частот от 1 до 3000 Гц с максимальным ускорением $20g$;

— многократные удары с ускорением до $150g$;

— одиночные удары с ускорением до $1000g$;

— линейные (центробежные) нагрузки с ускорением до $200g$.

Рассмотрим структуру и функционирование каждой БИС комплекта, учитывая, что во всех БИС длина слова данных равна 4 или 8 бит [0—3]; [0—7] и нулевой разряд является старшим, а третий (седьмой) — младшим.

Арифметико-логическое устройство (АЛУ) К587ИК2 бК0.348.204 ТУ (КР587ИК2) (бК0.348.569—02 ТУ) представляет собой 4-разрядную микропроцессорную секцию с возможностью наращивания путем простого объединения одинаковых секций без дополнительного оборудования. Это обеспечивает возможность построения на основе БИС АЛУ контроллеров и микропроцессоров с различной разрядностью обрабатываемых данных, кратной 4.

Назначение выводов БИС АЛУ приведено в табл. 7.3. В БИС АЛУ применено микропрограммное управление. Двенадцатиразрядные микрокоманды в зависимости от типа операции имеют четыре формата: регистр — регистр (РГ — РГ), регистр — рабочий регистр передачи

(РГ — РГПЧ), операции с константой (РГ — КСТ), операции с обменом (ОПОБ). Структура микрокоманд приведена в табл. 7.4.

Таблица 7.3

Номер вывода	Обозначение	Наименование	Примечание
1, 3, 41, 39	КН2	Канал 2	Вход/выход
2, 4, 38; 40	КН1	Канал 1	Вход/выход
5	УСТ	Установка в исходное состояние	Вход
6, 8, 11	ПМ	Признак приема информации по каналам 1, 2, 3	Вход/выход
7, 9, 10	ВД	Признак выдачи информации по каналам 1, 2 и 3	Вход/выход
12	С	Сигнал синхронизации	Вход/выход
13	ОП	Признак окончания выполнения операции	Вход/выход
14	РПМ	Разрешение приема и выполнения микрокоманды	Вход
15	ПН	Признак старшей БИС в группе совместно работающих	Вход
16, 27—37	РГМК	Регистр микрокоманд	Вход
17	Р	Разрешение обмена по каналу 1	Вход
18, 19, 25, 26	ПС	Признак состояния цепи переноса 1, 2 и 3	Вход/выход
20, 22—24	КН3	Канал 3	Вход/выход
21	⊥	Общий	
42	$U_{ип}$	Питание (+9 В)	Вход

Общий алгоритм выполнения микрокоманды независимо от ее формата строится в следующей последовательности:

1. Выполнение операции по КОП1, код которой указан в разрядах [2—4] РГМК, над операндами, размещенными в регистрах общего назначения (РОН), адреса которых указываются разрядами [5—7] и [8—10] РГМК (об отклонениях будет сказано далее). При этом

возможны варианты: выполнения операции над одним операндом и отсутствие операции по КОП1.

2. Помещение результата в регистр, являющийся, как правило, источником второго операнда.

3. Выполнение второй операции над результатом первой. Вторая операция может и отсутствовать.

4. Выдача результата в рабочий регистр или каналы.

Разряд 11 РМК всегда указывает на необходимость записи состояний в регистр состояний (ГРСН) и выдачи содержимого РГСН в канал КНЗ.

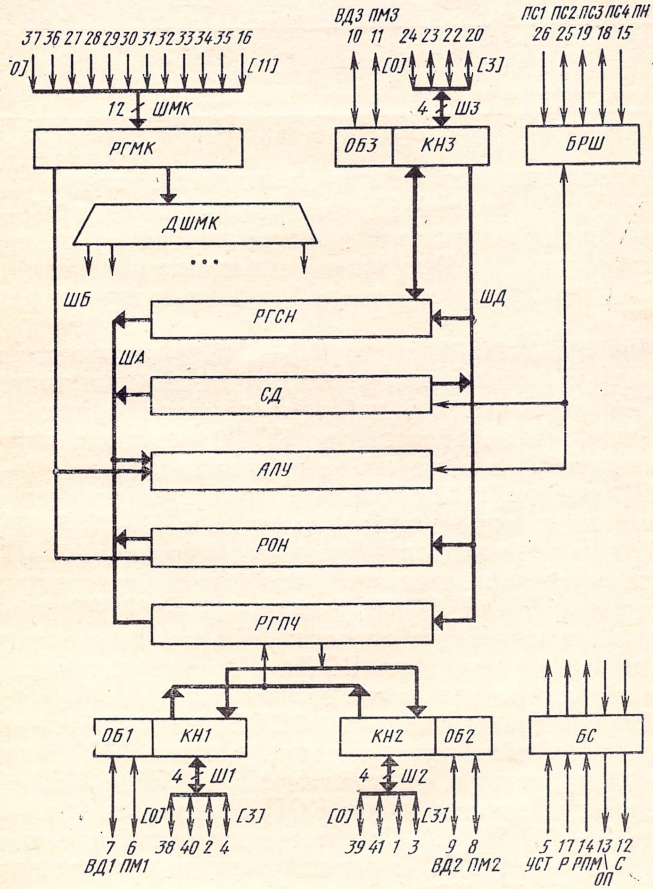


Рис. 7.1. Структурная схема БИС арифметического устройства К587ИК2

Формат микрокоманд	Разряды РГМК											
	0	1	2	3	4	5	6	7	8	9	10	11
РГ—РГ	0	0	КОП1			$РГ_i$			$РГ_j$			ВС
РГ—РГПЧ	1	0	КОП1			$РГ_i$			КОП2			ВС
РГ—КСТ	0	1	КОП1			КСТ			КОП4			ВС
ОПОБ	1	1	КОП1			$РГ_i$			КОП3			ВС

Примечание. i — номер регистра РОН, в котором размещен 1-й операнд; j —

Рассмотрим особенности выполнения микрокоманд каждого из форматов. Микрокоманды формата РГ — РГ выполняются по указанной схеме, но они не содержат второй операции. Результат выполнения операции по КОП1 пересылается в рабочий регистр передачи (РГПЧ).

Микрокоманда формата РГ — РГПЧ отличается тем, что второй операнд и результат первой операции по КОП1 размещаются в рабочем регистре, а затем над ним выполняется операция по КОП2, результат которой размещается там же. При коде в разрядах [8—10] РГМК, равном 111, результат операции заносится также в регистр, определяемый разрядами [5—7] РМК.

При выполнении микрокоманды формата РГ — КСТ одним из операндов является константа, расположенная в разрядах [5—8] РГМК. Разряды [9—10] РГМК указывают адрес второго операнда и результата выполнения первой операции по КОП1. Вторая операция при этом формате микрокоманд отсутствует.

Микрокоманды формата ОПОБ предназначены для организации обмена информацией между АЛУ и внешними устройствами по каналам КН1, КН2 и КН3. Вид обмена определяется кодом КОП3, размещенным в разрядах [8—10] РГМК. При этом могут выполняться также операции по КОП1: первый операнд берется из i-го регистра РОН $РГ_i$, а второй — определяется кодом КОП3. Кодом КОП3 определяется также вид обмена. При двух значениях кодов разрядов [8—10] РГМК

Таблица 7.4

Описание операций						Число микрокоманд
Операнды		Операции		Приемник результата операции		
1	2	1	2	1	2	
$РГ_i$	$РГ_j$	КОП1	—	$РГ_j$	РГПЧ	8
$РГ_i$	РГПЧ	КОП1	КОП2	РГПЧ($РГ_i$)		64
$РГ_i$	КОП4	КОП1	—	КОП4		32
СТК	КОП3	КОП1	КОП3	КОП3	РГПЧ ($РГ_i$)	64

номер регистра РОН, в котором размещен 2-й операнд.

(101, 111) и операциях сложения с 1 результаты операции заносят в регистр, указанный разрядами [5—7] РГМК.

Всего в БИС АЛУ может быть реализовано 168 типов микрокоманд всех форматов.

БИС АЛУ состоит из следующих основных блоков: параллельного АЛУ, блока из восьми [0—7] регистров общего назначения, блока сдвигателя (СД), регистра состояний (РГСН), регистра микрокоманд (РГМК), рабочего регистра передачи (РГПЧ), трех 4-разрядных каналов (КН1, КН2, КН3), трех схем обмена (ОБ1, ОБ2, ОБ3), дешифратора микрокоманд (ДШМК), блока синхронизации (БС) и блока расширения (БРШ).

Структура БИС АЛУ приведена на рис. 7.1. Рассмотрим назначение и функционирование основных блоков БИС.

Основным блоком БИС АЛУ является параллельное комбинационное 4-разрядное АЛУ с асинхронным переносом и с мультиплексорами по шинам ША и ШБ. АЛУ выполняет арифметические операции (сложение, вычитание, сложение с 1) и логические (конъюнкция, дизъюнкция, инверсия и сложение по модулю 2). Входные мультиплексоры коммутируют поступающие операнды на входы АЛУ. Регистр микрокоманд (РГМК) предназначен для приема из внешней шины микрокоманд (ШМК) и хранения 12-разрядного кода микрокоманды, поступающего в БИС АЛУ, а дешифратор формирует соответствующие этим кодам управляющие сигналы,

стробируемые сигналами из блока синхронизации (БС). Блок регистров общего назначения содержит восемь 4-разрядных регистров, предназначенных для хранения данных внутри БИС АЛУ. Запись информации в любой из РОНов производится по шине записи ШД. По шинам считывания ША или ШБ содержимое регистров поступает на входы АЛУ.

В процессе выполнения микрокоманды обмен информации в регистрах осуществляется следующим образом: разряды [5—7] РГМК во всех форматах, кроме РГ — КСТ, задают адрес выбираемого i-го регистра РОН($РГ_i$), а разряды [8—10] РГМК микрокоманд формата РГ — РГ задают адрес второго j-го выбираемого регистра РОН ($РГ_j$). Чтение информации из $РГ_i$ происходит на шину Б, а из регистра $РГ_j$ — на шину А. В блоке сдвигателя выполняются операции логического и циклического сдвигов 4-разрядных кодов на один разряд вправо или влево. В рабочем регистре РГПЧ хранятся 4-разрядные коды результата микрокоманды. В операциях обмена регистр выполняет функцию буфера каналов КН1 и КН2.

Регистр состояний содержит триггер сравнения с нулем (нулевой разряд РГСН), триггер переполнения (разряд 1 РГСН), триггер знака (разряд 2 РГСН) и триггер расширения (разряд 3 РГСН).

Каналы КН1, КН2 и КН3 в совокупности с соответствующими схемами обмена обеспечивают обмен содержимого рабочего регистра РГПЧ 4-разрядными словами с внешними относительно БИС схемами по шинам Ш1—Ш3 соответственно.

Блок расширения обеспечивает возможность объединения нескольких БИС АЛУ в одно арифметическое устройство с разрядностью, кратной 4 бит. При этом не требуется дополнительное оборудование.

Блок синхронизации предназначен для организации цикла выполнения микрокоманды в зависимости от ее кода и обеспечивает работу БИС АЛУ в одном из четырех режимов: без приема и выдачи информации, прием по одному из каналов (КН1, КН2 или КН3), выдача по одному из каналов (КН1, КН2 или КН3) и прием по одному из каналов и выдача по одному или двум другим каналам.

Функционирует БИС АЛУ следующим образом. На входы [0—11] РГМК подается код микрокоманды, а на

входы каналов КН1, КН2 или КН3 подаются, при необходимости, коды данных. Сигнал РПМ разрешает запись кода микрокоманды в РГМК и запускает блок синхронизации. На выходах дешифратора ДШМК появляются управляющие сигналы, которые определяют функционирование всех блоков БИС. При наличии на выходах ДШМК разрешающего сигнала происходит запись информации из одного из каналов КН1 — КН3 в регистр РГПЧ. Содержимое двух регистров: $РГ_i$ и РГПЧ, или РГПЧ и КСТ, или РГСН и КСТ — поступают на входы блока АЛУ, где над ними выполняется логическая или арифметическая операция по КОП1. Результат операции поступает на блок сдвигателя, затем, если это предусмотрено микрокомандой, выполняется сдвиг, и результат по шине ШД записывается в регистр РГПЧ, $РГ_i$ или в $РГ_j$. Состояния, полученные в результате операции в АЛУ, записываются в РГСН, если в разряде [11] кода микропрограммы записана 1. При выполнении микрокоманды с выдачей информации содержимое регистра РГПЧ выдается в один из каналов КН1 и КН2, а содержимое РГСН — в канал КН3.

Таблица 7.5

Номер вывода	Обозначение	Наименование	Примечание
1, 7—9, 12—14, 17—20, 22, 23, 41	КН1	Канал 1	Вход
2—5	КН2	Канал 2	Вход
6, 15	ПМ	Признак приема информации по каналам 1 и 2	Выход
10, 11	ВД	Признак выдачи информации по каналам 1 и 2	Вход
16	МК	Признак окончания формирования микрокоманды	Вход/выход
21	⊥	Общий	
24—37	РГМК	Регистр микрокоманд	Выход
38	С	Сигнал синхронизации	Вход/выход
39	ОП	Признак окончания выполнения операции	Вход
40	УСТ	Установка в исходное состояние	Вход
42	$U_{пп}$	Питание (+9 В)	Вход

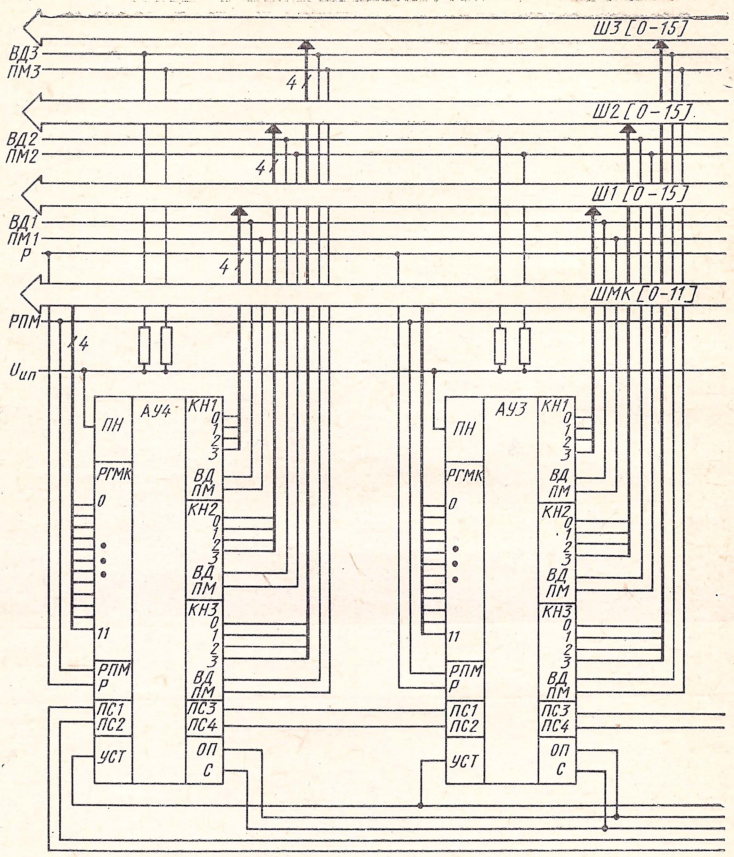
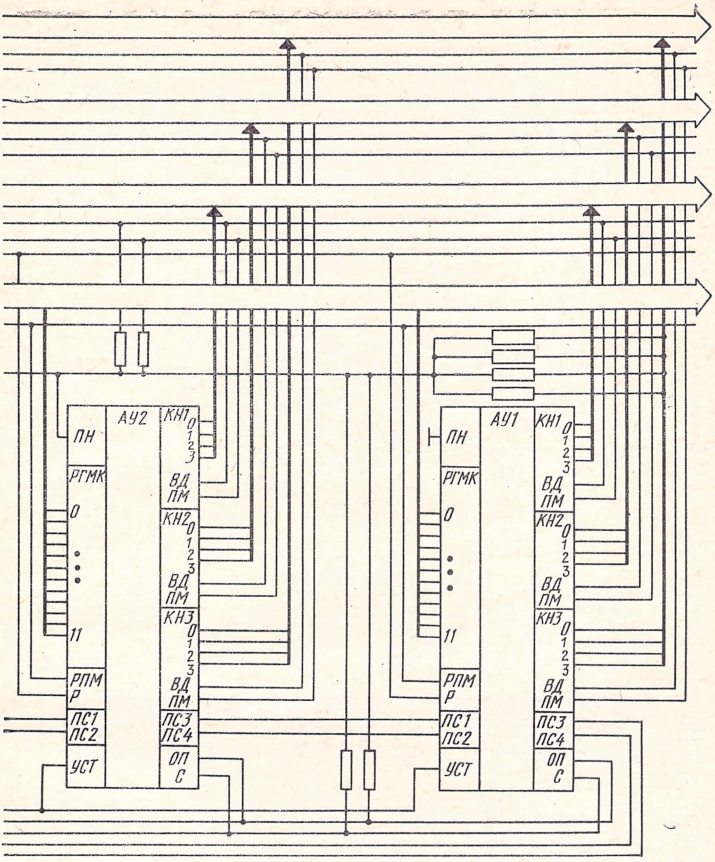


Рис. 7.2. Построение АУ для обработки 16-разрядных данных на

Пример построения 16-разрядного АЛУ на основе БИС К587ИК2 показан на рис. 7.2.

Управляющая память (БИС УП) К587РП1 (бК0.348.312 ТУ) КР587РП1 (бК0.348.569-01 ТУ) представляет собой модуль устройства микропрограммного управления генерирующего 14-разрядные коды микрокоманд. Используется для управления работой БИС АЛУ, БИС ОИ, БИС АР. Может быть применена для микропрограммного управления некоторыми другими МП, а также используется автономно при построении простейших схем цифрового управления.



БИС К587ИК2

Назначение выводов БИС УП приведено в табл. 7.5. Структурная схема БИС УП приведена на рис. 7.3. В состав БИС входят следующие основные блоки: программируемая логическая матрица (ПЛМ), входные регистры (РГ1 и РГ2), регистр следующего адреса (РГСА), выходной регистр микрокоманды (РГМК), блок синхронизации (БС), схемы обмена 1 и 2 (ОБ1 и ОБ2) и регистр управления (РГУ).

Основой БИС УП является ПЛМ, предназначенная для хранения кодов микрокоманд. Она состоит из двух программируемых логических подматриц ПЛМ1 и ПЛМ2

и программируемого слоя инверторов (ПИ), наличие которых расширяет возможности УП. ПЛМ1 эквивалентна 64 схемам И — НЕ на 24 входа каждая, а ПЛМ2 — 24 схемам И — НЕ на 64 входа каждая. Связи в подматрицах и слое инверторов (кодировки микрокоманд) проектируются заказчиком (в зависимости от требуемого набора микрокоманд), оформляются в виде карты заказа, выполняются в процессе изготовления БИС и не могут быть изменены потребителем.

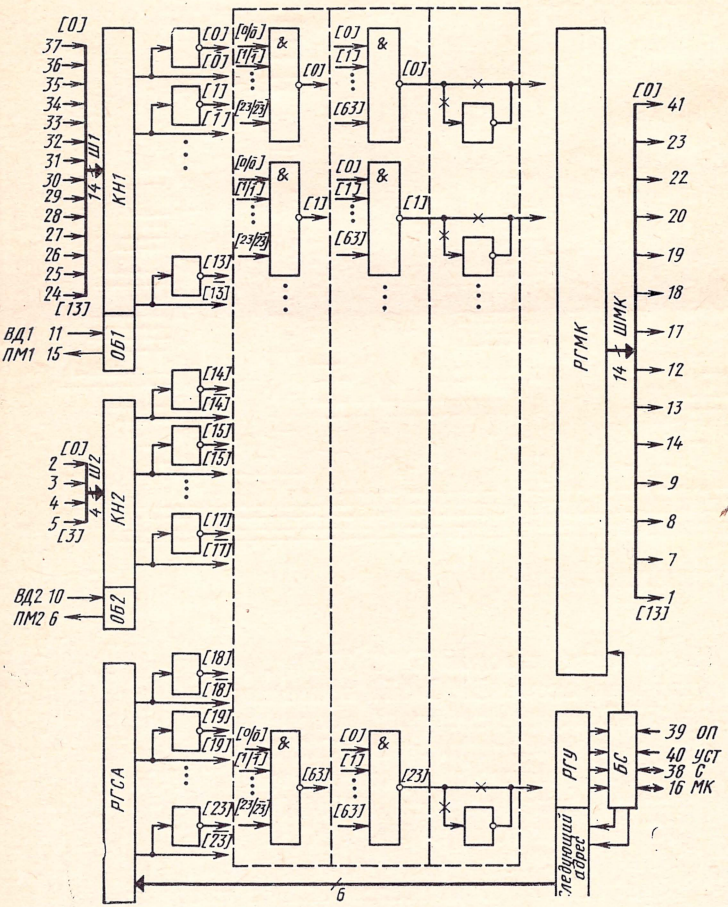


Рис. 7.3. Структурная схема БИС управляющей памяти К587РП1

14-разрядный регистр РГ1 и 4-разрядный РГ2 предназначены для приема и хранения поступающей на БИС УП информации. Записью информации во входные регистры РГ1 и РГ2 управляют соответственно схемы обмена ОБ1 и ОБ2 в зависимости от содержимого регистра управления РГУ; 5-разрядный регистр следующего адреса РГСА предназначен для хранения внутренней части адреса следующей микрокоманды, формируемого при выборке предшествующей; 14-разрядный регистр микрокоманды РГМК предназначен для хранения кода выбранной микрокоманды и выдачи ее из БИС УП.

В блоке синхронизации формируются сигналы, управляющие работой БИС УП в соответствии с сигналами, поступающими извне, и с состоянием БИС УП, образовавшимся в результате выполнения предшествующих операций (коды РГУ). Регистр РГУ (четыре разряда) предназначен для хранения кода признаков режима внутренних схем УП. Признаки режима приведены в табл. 7.6. На внешний вывод БИС УП выведен только нулевой разряд РГУ (КК).

БИС УП обеспечивает возможность построения блоков микропрограммного управления с различной емко-

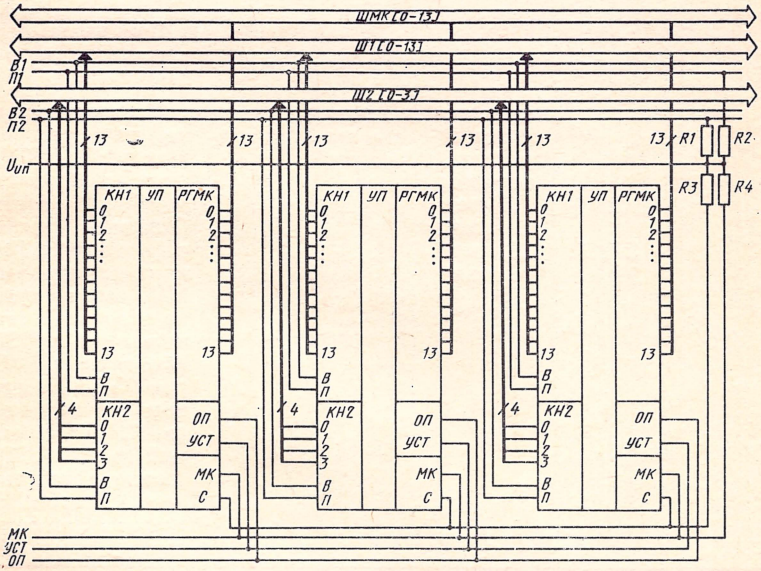


Рис. 7.4. Схема включения трех БИС К587РП1

Таблица 7.6

Разряд РУ	Обозначение сигнала на разряд РУ	Наименование сигнала	Состояние схемы обмена 1	Состояние схемы обмена 2	Состояние УП
0	МК	„Конец команды“	Ожидание приема сигнала ВД1	—	Ожидание приема информации в КН1 (команды) и сброс признака МК после приема с выдачей сигнала ПМ1
1	ЖДСТ	„Жду состояния“	—	Состояние приема сигнала ВД2	Ожидание приема информации в КН2 (состояния) с выдачей сигнала ПМ2 после приема
2	ЗРВД	„Запрет выдачи“	—	—	Микрокоманда не выдается: на выходах РГМК „пассивный высокий“ уровень
8	ККФ	„Конец команды“	Ожидание приема сигнала ВД1	—	Запись информации (команды) в КН1 не происходит При поступлении сигнала ВД1 выдается сигнал ПМ1
0 2	МК ЗРВД	Одновременное появление сигналов: „Конец команды“, „Запрет выдачи“	Ожидание приема сигнала ВД1	—	Микрокоманда не выдается: на выходах РГМК „пассивный высокий“ уровень. Ожидание приема информации в КН1 и сброс признака МК после приема с выдачей сигнала ПМ1. По сбросу сигнала МК при ОП-1 возникает „0“ на выводе С, сбрасывающий признак ЗВРД (режим „автоисполнено„), затем выдается микрокоманда

стью управляющей памяти путем простого объединения нескольких БИС. Пример такого блока из трех БИС УП приведен на рис. 7.4.

Устройство обмена информацией (БИС ОИ) К587ИК1 (бК0. 348. 330 ТУ), КР587ИК1 (бК0. 348. 569 — 03 ТУ) представляет собой 8-разрядную секцию с возможностью наращивания путем простого объединения БИС. БИС ОИ предназначен для организации внутрипроцессорного и внепроцессорного параллельного и последовательного обмена данными различной разрядности, кратной 8 бит. Она может быть использована при организации интерфейсов процессоров, каналов, блоков прерывания, применяется в контроллерах периферийных устройств и ОЗУ.

Назначение выводов БИС ОИ приведено в табл. 7.7; БИС ОИ состоит из следующих основных блоков: трех

Таблица 7.7

Номер вывода	Обозначение	Наименование	Примечание
1—4, 38—41	КН2	Канал 2	Вход/выход
5—12	КН3	Канал 3	Вход/выход
13—17	РГМК	Регистр микрокоманд	Вход
18	МК	Разрешение приема и выполнения микрокоманды	Вход
19	ПНОП	Признак окончания выполнения операции	Вход/выход
20	ОП	Характеристика результата выполнения операции	Вход/выход
21	⏚	Общий	
22	ЗВД	Запрос разрешения выдачи информации в каналы КН1 или КН3	Вход
23	РВД	Разрешение выдачи информации в каналы КН1 или КН3	Вход
24, 26, 28	ПМ	Признак приема информации по каналам 1—3	Вход/выход
25, 27, 29	ВД	Признак выдачи информации по каналам 1—3	Вход/выход
30—37	КН1	Канал 1	Вход/выход
42	$U_{ип}$	Питание (+9 В)	Вход

8-разрядных каналов (КН1 — КН3), трех схем обмена (ОБ1 — ОБ3), схемы захвата (СХЗХ), 8-разрядного сдвигового регистра (РГСД), 8-разрядного счетчика (СТ), блока сравнения (БСР), коммутатора (КМ), регистра режима (РГРЖ), регистра маски состояния (РГМС), схемы формирования состояний (СХСН), регистра микрокоманд (РГМК), дешифратора микрокоманд (ДШМК), блока синхронизации (БС), схемы начальной установки (УСТ) и триггера расширения (РШ).

Таблица 7.8

Разряд РР	Триггер РГРЖ	Код	Режим	Особенности режима
0	Триггер группы	0	Первая группа микрокоманд	
		1	Вторая группа микрокоманд	
1	Триггер повторения микрокоманды	0	Одиночные микрокоманды	Выход из цикла при ОП, равном 1
		1	Режим повторения микрокоманды	
2	Триггер „захвата“ канала	0	Захват канала КН1	Микрокоманду 10010 группы 1 применять не рекомендуется
		1	Захват канала КН2	
3	Триггер „условных операций“	0	Безусловные микрокоманды	При соблюдении условия выполнения операции обычное, если условие не соблюдено, то при приеме из $КН_i$ сигнал $КН_i$ПМ не выдается, а при выдаче в $КН_j$ сигнал $КН_j$ВД не выдается
		1	Условные микрокоманды	
4	Триггер асинхронной выдачи или сдвига (ТАС)	ТГ / ТАС: 0 /	Операции сдвига отсутствуют, выдача в КН3 синхронная	
		1 / 0	Присутствуют операции со сдвигом	
		1 / 1	Выдача по КН3 синхронная	

В БИС ОИ, так же как и в БИС АЛУ, применено микропрограммное управление. Код микропрограммы содержит десять разрядов, пять из которых подаются из внешней шины ШМК на регистр микрокоманд РГМК, а пять, задающих режим работы БИС ОИ, формируются внутри БИС и собираются на регистре РГРЖ. Перечень триггеров РГРЖ, режимы работы БИС ОИ и соответствующие им коды триггеров РГРЖ приведены в табл. 7.8.

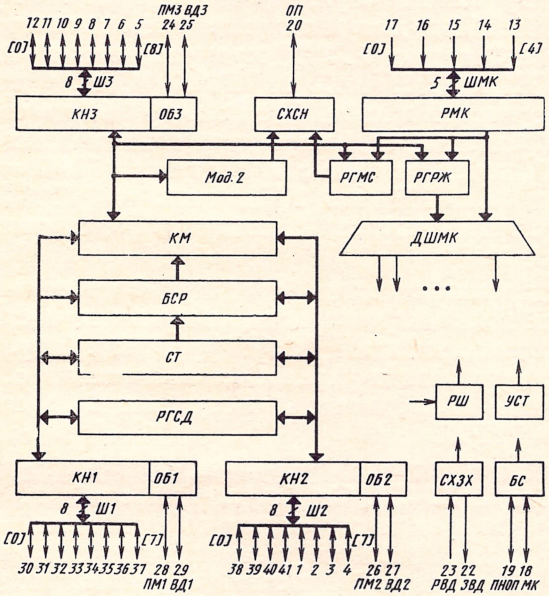


Рис. 7.5. Структурная схема БИС обмена информацией К587ИК1

Структурная схема БИС ОИ приведена на рис. 7.5. Каналы КН1—КН3 предназначены для приема и выдачи информации с внешних шин (Ш1 — Ш3 соответственно). Схемы обмена (ОБ1 — ОБ3) управляют приемом и выдачей информации в (из) БИС ОИ по каналам КН1 — КН3. Кроме того, схемы обмена вырабатывают сигналы ВД1 — ВД3 и ПМ1 — ПМ3.

Схема захвата (СХЗХ) обеспечивает возможность выдачи информации в один из каналов (КН1 или КН3) по предварительному запросу. Выдача информации происходит только при наличии сигнала РВД в канал, указанный триггером «захвата» канала РГРЖ. Регистр

РГСД и СТ предназначены для временного хранения информации, а также для выполнения операции сдвига и счета соответственно. Кроме того, регистры формируют сигнал расширения (РШ). Блок сравнения предназначен для выполнения операций маскирования, сравнения, выделения левой единицы информации и др. Коммутатор устанавливает внутренние связи между блоками БИС ОИ, необходимые для выполнения микрокоманд.

Регистр режима служит для хранения кода режима, предназначенного для расширения системы микрокоманд БИС ОИ. Загрузка РГРЖ осуществляется либо из каналов КН1 и КН3, либо из РМК. Состав триггеров РГРЖ приведен в табл. 7.8. Регистр маски состояний РГМК предназначен для хранения кода маски состояния и содержит четыре триггера. Загрузка РГМС осуществляется либо из КН1 или КН3, либо из РГМК. Схема формирования состояния служит для формирования сигнала ОП.

Регистр микрокоманд предназначен для приема и хранения кода микрокоманды, поступающего извне. Дешифратор микрокоманд формирует стробируемые от блока синхронизации управляющие сигналы в соответствии с кодом микрокоманды, поступающим на его входы с РМК и РГРЖ.

Блок синхронизации формирует временну́ю диаграмму работы БИС ОИ. Он запускается сигналом запуска МК и формирует также сигнал об окончании операции ПНОП. Схема начальной установки при включении питания устанавливает БС и схемы обмена в исходное состояние и обнуляет регистры РГСД, РГРЖ, РГМС и СТ. Те же действия выполняются по микрокоманде НАЧАЛЬНАЯ УСТАНОВКА.

Функционирует БИС УП следующим образом. Дешифратор преобразует 10-разрядный код микрокоманды, поступающий на его входы с регистров РМК и РГОЖ, в сигналы управления, стробируемые блоком синхронизации. Эти сигналы поступают на все блоки БИС ОИ и определяют алгоритм их функционирования.

В зависимости от кода микропрограммы выполняются следующие основные операции:

— коммутация информационных сигналов каналов КН1 — КН3 по полному графу коммутаций;

— арифметико-логические операции;

— операции преобразования форматов (из 16-разряд-

ного в байтовый и обратно, из последовательного кода в параллельный и обратно).

При выполнении операции коммутации информационных сигналов, например из канала КН1 в канал КН2, информация из КН1 поступает на информационные входы:

— регистра СТ и запоминается;

— БСР, в котором осуществляется сравнение принятой информации с 1, а результат поступает на один из входов СХСН;

— коммутатора, который осуществляет коммутацию сигналов в канал КН2, а также формирование сигнала состояния, поступающего на один из входов СХСН. В СХСН происходят маскирование кодов сигналов состояний кодом информации, поступающей с выходов РГМС, и формирование сигнала ОП.

При выполнении арифметико-логической операции, например операции сравнения информации, поступающей из канала КН1, с информацией, хранящейся в регистре СТ, и выдачи результата в канал КН3 информация из КН1 поступает на информационные входы регистра РГСД и запоминается, а также на информационные входы БСТ, на другие информационные входы которого поступает информация из СТ. В БСР выполняется операция сравнения и формируется сигнал результата операции, который через коммутатор выдается в канал КН3.

Часть микрокоманд выполняется в ОИ за два такта. Под тактом понимается временно́й интервал между двумя последовательными отрицательными фронтами сигнала ПНОП.

При выполнении операции преобразования форматов информации, например двухтактной микрокоманды преобразования из 16-разрядного кода в байтовый, в первом такте информация из каналов КН1, КН2 поступает на информационные входы регистров РГСД и СТ и запоминается. Информация из канала КН1 поступает также на информационные входы коммутатора, который осуществляет коммутацию сигналов в канал КН3 и формирование сигнала состояния, поступающего на один из входов СХСН и на информационные входы БСР, где осуществляется сравнение принятой из КН1 информации с 1, при этом результат поступает на один из входов СХСН.

В СХСН происходят маскирование сигналов состояний информацией, поступающей с выходов РГМС, и формирование сигнала ОП. После окончания обмена по КН3 во втором также информация из Р2 поступает на информационные входы коммутатора, который осуществляет коммутацию сигналов в канал КН3 и формирова-

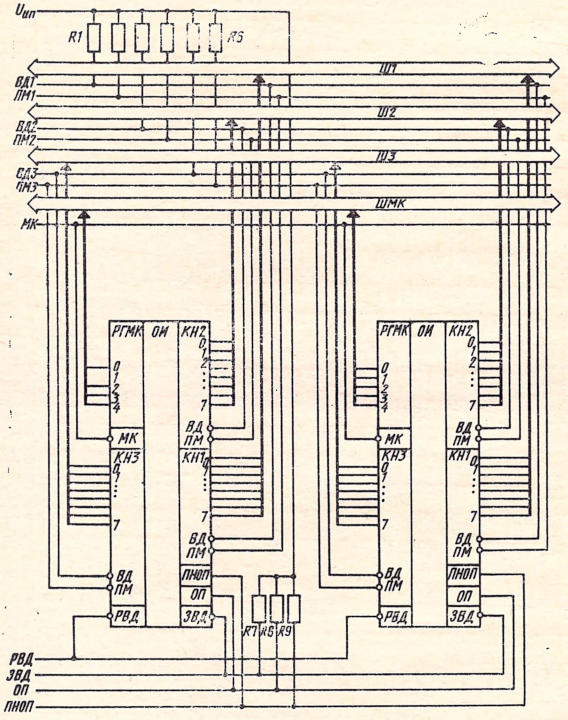


Рис. 7.6. Схема объединения двух БИС К587ИК1

ние сигнала состояния, поступающего на один из входов СХСН и на информационные входы БСР, в котором осуществляется сравнение информации с 1, а результат поступает на один из входов СХСН.

В СХСН происходят маскирование сигналов состояний информацией из РГСМ и формирование сигнала ОП.

Структура БИС ОИ обеспечивает возможность построения устройств обмена информацией различной разрядности путем простого объединения микросхем. Пример объединения двух БИС в 16-разрядное устройство представлен на рис. 7.6.

Арифметический расширитель (БИС АР) К587ИК3 (бК0. 348. 365 ТУ), КР587ИК3 (бК0. 348. 569-03 ТУ) является автономным асинхронным цифровым 8-разрядным модулем, предназначенным для быстрого выполнения операций умножения, сдвига, поиска кодов. БИС АР обрабатывает либо целые числа без знака, либо целые числа в дополнительном коде со знаком в старшем разряде. Применение БИС АР обеспечивает возможность значительного повышения производительности МП и микро-ЭВМ.

Таблица 7.9

Номер вывода	Обозначение	Наименование	Примечание
1—8	КН1	Канал 1	Вход/выход
9—16	КН2	Канал 2	Вход/выход
17	ОП1	Признак окончания выполнения операции по каналу 1, 2	Вход/выход
20	ОП2		
18	С1	Синхросигнал по каналу 1	Вход/выход
19	С2	Синхросигнал по каналу 2	Вход/выход
21	⊥	Общий	
22, 25, 27	ВД	Признак выдачи информации по каналам 1—3	Вход/выход
23, 24, 26	ПМ	Признак приема информации по каналам 1—3	Вход/выход
28	ПН	Признак старшей БИС в группе совместно работающих	Вход
29	РПМ	Разрешение приема и выполнения микрокоманды	Вход
30—36	РГМК	Регистр микрокоманд	Вход
37—40	КН3	Канал 3	Вход/выход
41	ПС	Перенос	Вход/выход
42	$U_{ип}$	Питание (+9 В)	Вход

Назначение выводов корпуса БИС АР приведено в табл. 7.9; БИС АР состоит из следующих блоков: двух 8-разрядных каналов (КН1 и КН2), 5-разрядного канала (КН3), схемы обмена (ОБ1 — ОБ3), 7-разрядного регистра микрокоманд (РГМК), двух 8-разрядных регист-

ров хранения операндов РГ1 и РГ2, двух 8-разрядных регистров хранения результатов операций (РГ3 и РГ4), 2-разрядного регистра именного кода (РГ5), 3-разрядного регистра кода позиции (РГ6), дешифратора микрокоманд (ДШМК), блока умножения, блока суммирования (БСМ), блока поиска кодов бита (Б), блока формирования состояний (БСН), блока синхронизации (БС) и схемы начальной установки (УСТ).

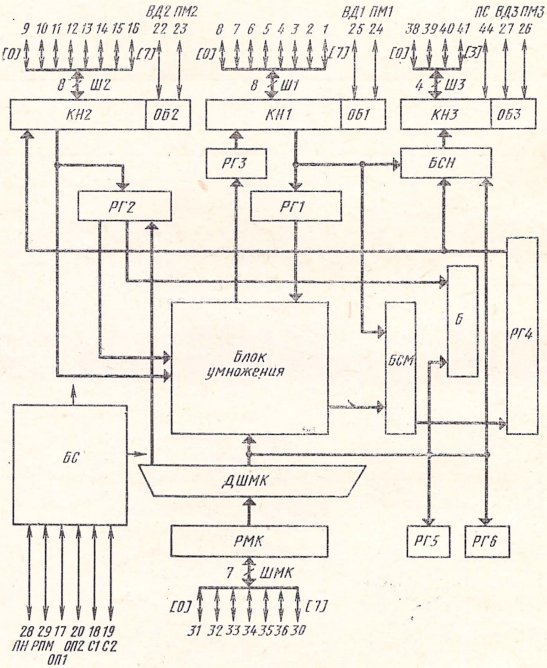


Рис. 7.7. Структурная схема БИС арифметического расширителя К587ИК3

В БИС АР, так же как и в БИС АУ и БИС ОИ, применено микропрограммное управление. Длина слова микрокоманды 7 бит.

Структурная схема БИС АР приведена на рис. 7.7. Каналы КН1 и КН2 предназначены для обмена операндами и результатами операции с внешними шинами Ш1 и Ш2. Каналы обмениваются информацией с регистрами РГ1 и РГ2 соответственно. Управляют работой каналов схемы обмена (ОБ1 и ОБ2). Канал КН3 выдает в шину

ШЗ информацию о состояниях БИС АР, которые она принимает при выполнении операций. Сигналы в КНЗ поступают из блока формирования состояний (БСН). Перечень сигналов приведен в табл. 7.9. Схема обмена ОБЗ управляет работой канала. Схемы обмена 1 — 3 вырабатывают сигналы ПМ1—ПМ3, идентифицирующие прием информации, а также сигналы ВД1 — ВДЗ, идентифицирующие выдачу информации.

Регистр микрокоманд предназначен для приема и хранения 7-разрядного кода микрокоманды, который в дешифраторе под воздействием блока синхронизации превращается в серию управляющих сигналов. БС синхронизирует работу и других блоков БИС АР. Регистры РГ1 и РГ2 предназначены для приема и хранения исходных операндов, поступающих соответственно по каналам КН1 и КН2. Регистр РГЗ предназначен для хранения младшей части произведения при операции умножения и результата при сдвигах влево, а регистр РГ4 — старшей части произведения при операции умножения, результата при сдвигах вправо и кода бита при операции поиска битов. Регистр именного кода (РГ5) и регистр кода позиции (РГ6) указывают положение БИС АР при объединении нескольких БИС в блок с повышенной разрядностью с общим микропрограммным управлением.

В блоке умножения выполняется операция умножения сомножителей, размещенных в регистрах РГ1 и РГ2, а также операции сдвига над операндом в РГ1. Операнды могут быть целыми числами без знака или со знаком в старшем разряде (в дополнительном коде). Блок умножения состоит из матриц 8×8 одноразрядных сумматоров, с помощью которых вычисляются частичные произведения. В блоке суммирования слагаются частичные произведения при матричном объединении однотипных БИС АР в блок. Блок поиска кодов используется при выполнении операции поиска кода левого «нулевого» бита, левого «единичного» бита, левой пары неравнозначных битов над операндом в регистре РГ2. Блок формирования состояний предназначен для индикации признаков результата операции в соответствии с описанием микрокоманд. Блок синхронизации вырабатывает временну́ю последовательность сигналов, которые в зависимости от кода микрокоманды управляют работой всех блоков БИС. Схема начальной установки устанавливает БС и схемы обмена в исходное состояние при включении

питания или сигнале разрешения приема кода микрокоманды в РМК.

Структура БИС обеспечивает возможность построения блоков арифметического расширителя с произвольной разрядностью, кратной 8 бит, путем простого объединения БИС в матрицу. На рис. 7.8 приведен пример построения 16-разрядного блока АР. Блок имеет два

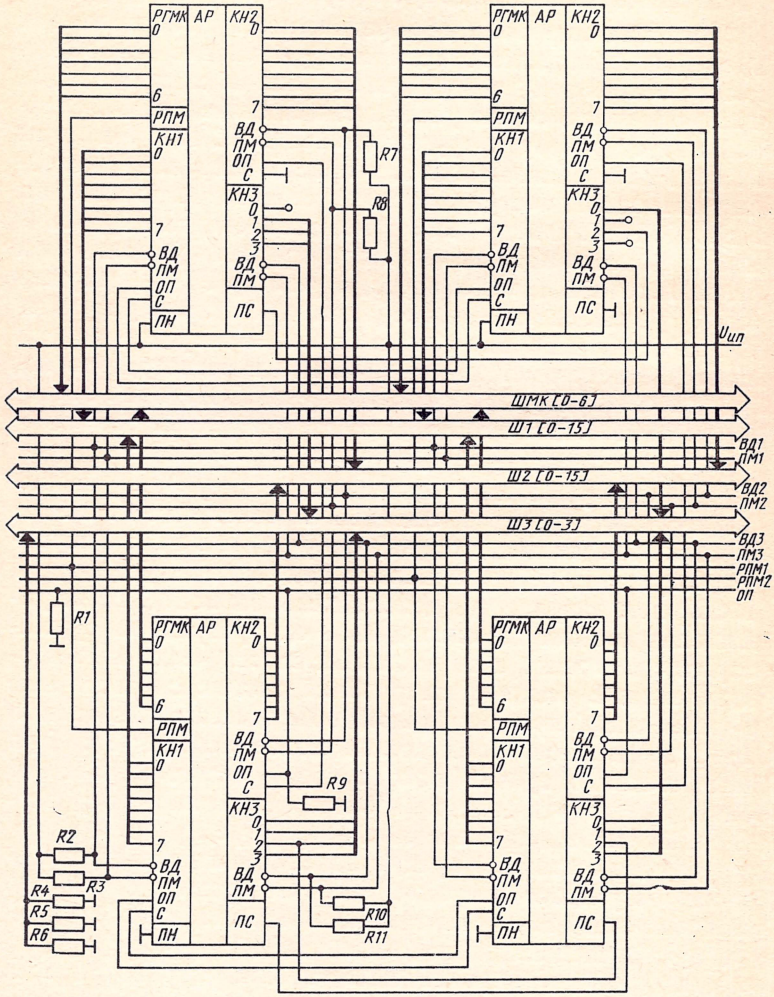


Рис. 7.8. Пример построения 16-разрядного блока арифметического расширителя на БИС К587ИК3

16-разрядных канала КН1 и КН2, 5-разрядный канал КН3 и 7-разрядную шину микрокоманд (ШМК).

Настройка каждой БИС на режим работы, соответствующий ее месту в матрице БИС, осуществляется следующим образом. Коды, устанавливающие положение АР в блоке, загружают в РГ5 и РГ6 и РМК. Каждый вертикальный ряд имеет общий именной код позиции. Кроме того, каждый вертикальный ряд имеет объединенный вывод РПМ. Верхний горизонтальный ряд отмечен нулевым состоянием, обеспеченным соединением выводов синхронизации ОП2 с общей шиной. В нижнем горизонтальном ряду БИС к общей шине подключен вывод указателя старшего ПН. В остальных рядах вывод ПН подключен к шине питания. Кроме жестких соединений выводов БИС при их объединении в блок выполняется также начальная последовательность микрокоманд, обеспечивающая настройку каждой БИС на соответствующий ее положению режим.

Двунаправленный усилитель К531АП2 (бК0.348.415 ТУ) (ИС ДНУ) представляет собой 4-разрядный асинхронный двунаправленный приемопередатчик цифровой информации, предназначенный для синхронной и асинхронной передач двоичной информации по двунаправленным линиям связи и для ретрансляции логических уровней ТТЛ и высокопороговых КМОП-приборов.

Назначение выводов корпуса ИС ДНУ приведено в табл. 7.10; ИС ДНУ состоит из четырех двунаправленных усилителей, двух схем управления передачей инфор-

Таблица 7.10

Номер вывода	Обозначение	Наименование	Примечание
1	Р1	Разрешение передачи с направления 1 на направление 2	Выход
2, 5, 11, 14	1ВД	Выдача на направление 1	Выход
3, 6, 10, 13	2Н	Направление 2	Вход/выход
4, 7, 9, 12	1ПМ	Прием на направление 1	Вход
8	⊥	Общий	
15	Р2	Разрешение передачи с направления 2 на направление 1	Вход
16	$U_{ип}$	Питание (+5 В)	Вход

мации (EA и EW) и схемы стабилизации опорного напряжения (СОПН).

Структурная схема ИС ДНУ приведена на рис. 7.9. Каждый двунаправленный усилитель состоит из двух однонаправленных усилителей, причем выход усилителя А объединен со входом усилителя В. Эти объединенные выводы всех пар усилителей образуют направление 2, а необъединенные выводы (входы А и выходы В) — направление 1.

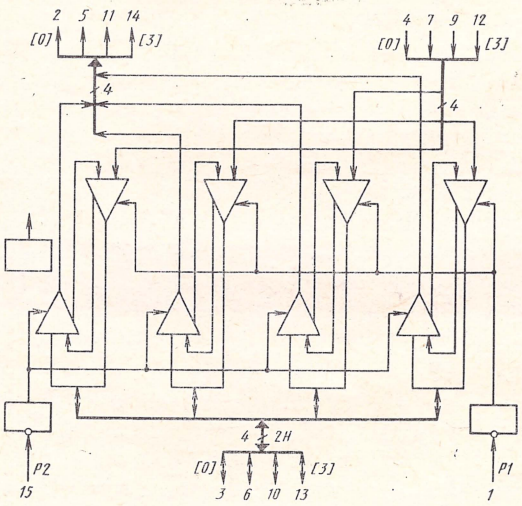


Рис. 7.9. Структурная схема двунаправленного усилителя К531АП2

Каждый двунаправленный усилитель имеет цепи внутренней обратной связи, запрещающей передачу логического «0» в обратном направлении.

Управление работой всех четырех двунаправленных усилителей осуществляется двумя общими схемами управления передачей информации EW и EA, устанавливающими передачу лишь в одном направлении. Общим является и стабилизатор опорного напряжения, устанавливающий пороговое напряжение срабатывания ДНУ.

8. Микропроцессорный комплект интегральных схем серии К588

Микропроцессорный комплект интегральных схем серии К588 (бК0. 348. 363 ТУ, бК0. 348. 364 ТУ) изготовляется на основе КМОП-технологии с применением тугоплавких материалов [7]. Микросхемы комплекта предназначены для построения как встраиваемых, так и автономных микро- и мини-ЭВМ и микровычислителей, возможно также построение распределенных систем управления объектами.

Принципы построения микропроцессорных БИС серии К588 (наращиваемость, модульность, микропрограммируемость, автономность внутренней синхронизации и т. д.) аналогичны принципам построения микропроцессорных БИС серии К587, рассмотренным в гл. 7 данной книги и в работе [25].

Таблица 8.1

Тип ИС	Функциональное назначение	Обозначение корпуса	Характеристики корпуса		
			Число выводов	Длина, мм	Ширина, мм
К588ВУ1	Управляющая память	429.42-1	42	32,4	26,3
К588ВС1	Арифметическое устройство	429.42-1	42	32,4	26,3
К588ИВР1	Арифметический расширитель	429.42-1	42	32,4	26,3

Преимущества КМОП БИС: один низковольтный источник питания $+5В \pm 10\%$, малая потребляемая мощность, широкий диапазон температур эксплуатации, совместимость по входным и выходным параметрам с интегральными схемами серий К155, К555, К563, К569 и др.; микропрограммное управление, обеспечивающее относительно высокое быстродействие функционирования, дает возможность получить требуемые технические характеристики систем.

В состав МПК входят три микросхемы (табл. 8.1).

Допустимые условия эксплуатации БИС серии К588:

— диапазон температур от —60 до +85°С;

— относительная влажность воздуха до 98% при температуре окружающей среды до +25°С;

— многократное циклическое изменение температуры от —60 до +85°С;

— вибрационные нагрузки с ускорением до 10*g* в диапазоне частот от 1 до 600 Гц;

— линейные нагрузки с ускорением до 25*g*;

— многократные удары с ускорением до 75*g* при длительности удара от 2 до 6 мс.

Основные электрические параметры БИС МПК серии К588 приведены в табл. 8.2.

Таблица 8.2

Обозначение ИС	Напряжение, В		Статистическая потребляемая мощность, мВт	Длительность цикла, мкс
	„0“	„1“		
К588ВУ1	0,5	4,5	1,0	1,5
К588ВС1	0,5	4,5	1,0	1,2; 1,8
К588ВР1	0,5	4,5	1,0	5,0

Управляющая память (УП) К588ВУ1 представляет собой автономный и асинхронный формирователь двоичных последовательностей, который предназначен для построения блоков микропрограммного управления различной информационной емкости и используется в качестве генератора микрокоманд.

Характеристики структуры:

Разрядность входного слова команды 16
Разрядность входного слова состояний 4
Разрядность выходной микрокоманды 13
Число логических произведений ПЛМ 100

В состав УП (рис. 8.1) входят входные регистры РГ1 [0 — 15] и РГ2 [0 — 3], регистры обратной связи (регистр текущего адреса (РГТА), и регистр следующего адреса (РГСА), постоянная память типа «программируемая логическая матрица» (ПЛМ), блок синхронизации (БС), регистр управления (РГУ), блок обмена (БОБ), и выходной буфер микрокоманд (БФМК).

ПЛМ состоит из двух программируемых логических подматриц (ПЛМ1, ПЛМ2) и программируемой матрицы инверторов. Матрица инверторов расширяет логические возможности преобразования информации. ПЛМ1

эквивалентна ста 27-входовым логическим элементам ИЛИ — НЕ, ПЛМ2 — двадцати четырем 100-входовым логическим элементам. В ПЛМ1, ПЛМ2 и матрице инверторов данные связи «кодируются» в ходе изготовления БИС с помощью сменных фотошаблонов.

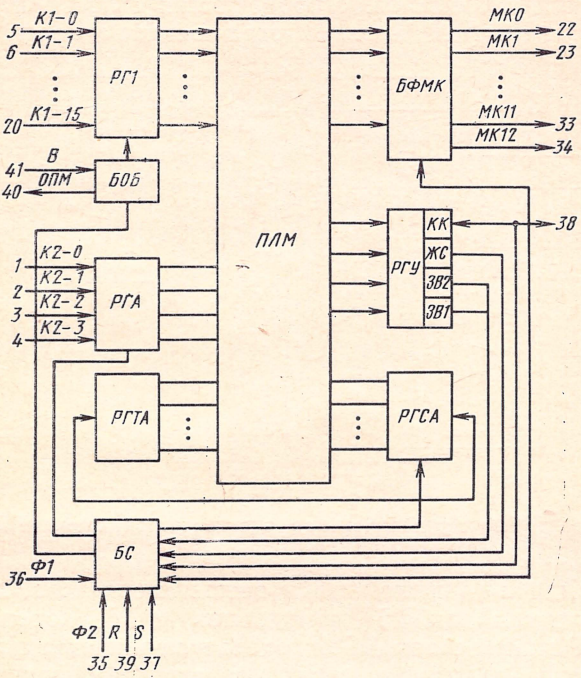


Рис. 8.1. Структурная схема БИС управляющей памяти К588ИК1

Режим функционирования ПЛМ определяется значением логического сигнала на шине «Строб ПЛМ», который формируется БС, «0» на шине соответствует режиму обнуления матрицы (исходное состояние ПЛМ), «1» — выборке микрокоманды из ПЛМ. На рис. 8.2 приведена принципиальная электрическая схема ПЛМ, иллюстрирующая ее принцип действия.

Входные регистры РГ1 [0 — 15] и РГ2 [0 — 3] предназначены для приема и хранения поступающей извне информации в процессе обмена. Изменение информации в РГ1 и РГ2 определяется содержимым РГУ и осуществляется через БОБ и БС; РГУ [0 — 3] предназначен для

обработки кода признаков режимов функционирования внутренних блоков УП. Режимы работы УП, определяемые информационным содержимым РГУ, приведены в табл. 8.3.

Блок синхронизации выполняет роль формирователя внутренних сигналов, стробирующих ПЛМ, РГУ, БОБ, РГСА, РГТА, сигналов, определяющих начало и оконча-

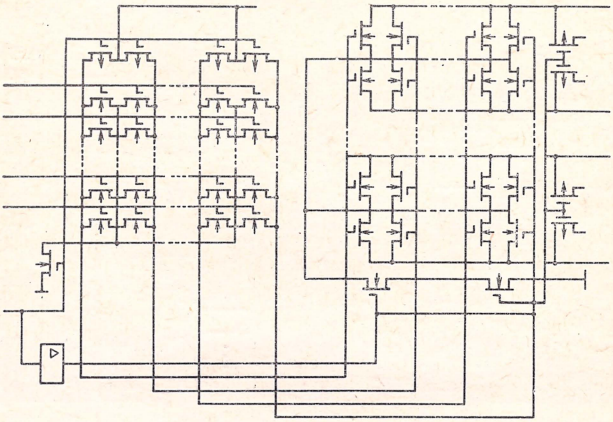


Рис. 8.2. Принципиальная электрическая схема ПЛМ

ние выдачи микрокоманд, и внешних сигналов, поступающих на выводы Ф2 (организация) и КК (конец команды). Режим работы БС определяется значением логического сигнала, поступающего на вход Ф1 (исполнено); РГТА и РГСА формируют последовательность микрокоманд, записью информации в данные регистры управляет один из подблоков РГУ.

Блок обмена обеспечивает организацию асинхронного приема информации во входной регистр РГ1. При поступлении сигнала КК с соответствующего выхода РГУ БОБ переходит в состояние готовности приема информации в РГ1. Если на входе В БОБ появляется сигнал, соответствующий «0» и свидетельствующий о наличии информации на входах РГ1, то БОБ вырабатывает сигнал, стробирующий прием информации в РГ1. После окончания приема формируется сигнал, соответствующий «0» и поступающий на вывод ОПМ БОБ.

В табл. 8.4 приведены назначение, наименование и нумерация выводов БИС УП в корпусе типа 429-42-1.

Таблица 8.3

Разряд РГУ	Обозначение сигнала на РГУ	Наименование команды	Состояние схемы обмена	Состояние УП
0	КК	Конец команды	Ожидание приема сигнала	После отрицательного фронта на входе Ф1 сигнал КК выдается из БИС. Ожидание сигнала В, по приходе которого осуществляется прием информации в РГ1, после этого сигнал КК сбрасывается и выдается сигнал ОПМ
1	ЖС	Ждать состояние	—	Происходит прием информации в РГ2 по отрицательному фронту сигнала ИСПОЛНЕНО
2	ЗВ2	Запрет выдачи микрокоманды	—	Микрокоманда не выдается, на выходах буфера микрокоманды и на выводе Ф2 „пассивный высокий" уровень
3	ЗВ1	Запрет записи текущего адреса	—	Запись в РГТА не происходит

Арифметическое устройство (АУ) К588ВС1 представляет собой автономный и асинхронный процессор, управляемый микропрограммно. АУ предназначено для прие-

Таблица 8.4

Номер вывода	Обозначение	Наименование	Примечание
1—4	КН2-0—КН2-3	Канал 2	Вход
5—20	КН1-0—КН1-15	Канал 1	Вход
21	⊥	Общий	
22—24	МК0—МК12	Микрокоманда	Выход
35	Ф2	Синхронизация	Вход/выход
36	Ф1	Режим синхронизации	Вход
37	S	Запрет	Вход
38	КК	Конец команды	Вход/выход
39	R	Прием	Вход
40	ОПМ	Окончание приема	Выход
41	В	Сопровождение	Вход
42	$U_{ип}$	Питание (+5 В)	

ма, оперативного хранения, обработки и выдачи цифровой информации и служит для создания микропроцессорных средств вычислительной техники. Разрядность операндов 16, разрядность микрокоманды 12, разрядность магистрали состояний 4.

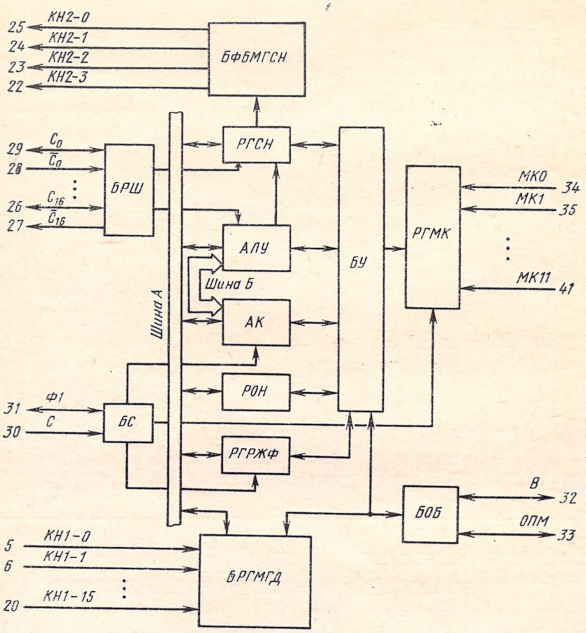


Рис. 8.3. Структурная схема БИС арифметического устройства К588ВС1

В состав АУ (рис. 8.3) входят АЛУ, РОНы, регистр состояний (РГСН), рабочий регистр-аккумулятор (АК), регистр микрокоманд (РГМК), регистр режима функционирования (РГРЖД), блок расширения (БРШ), буферный регистр магистрали данных (БРГМГД), буферный блок магистрали состояний (БФБМГСН), блок управления (БУ), блок синхронизации (БС), блок обмена (БОБ).

АЛУ предназначено для выполнения арифметических операций (сложение, вычитание, умножение и т. д.) и логических операций (конъюнкция, дизъюнкция, инверсия и т. д.) над 16-разрядными двоичными словами (операндами). В режиме функционирования обмен операн-

дами между АЛУ и другими блоками производится по магистральным шинам А и В; АЛУ содержит коммутатор, сумматор со схемами переноса и сдвига, блок записи и обмена информации (байтовая форма представления) и регистр предварительного хранения информации.

Регистры РГО, РГ1,..., РГ15 РОНа, предназначенные для оперативного хранения данных в БИС АУ в режимах записи и считывания, позволяют обрабатывать информацию одного из 16 регистров с применением двунаправленной шины А. РГСН состоит из 16 разрядов. Четыре (старших) разряда служат для индикации состояния АЛУ, остальные 12 (младших) используются в ряде микрокоманд как регистры общего назначения. Старшие разряды составляют следующие триггеры признаков результата выполняемой операции: знака, равенства нулю, переполнения и расширения.

Аккумулятор предназначен для временного хранения 16-разрядного операнда. Аккумулятор всегда используется в операциях над двумя операндами, при этом обращение к нему определяется форматом микрокоманды. РГМК предназначен для записи и хранения 12-разрядной микрокоманды, поступающей в БИС АУ извне, РГРЖФ представляет собой 3-разрядный регистр, информационное содержимое которого определяет режим функционирования БИС АУ. В табл. 8.5 указаны режимы работы БИС АУ в зависимости от состояния трех триггеров: Т «сам», Т «ст», Т «мл».

Таблица 8.5

Разряды РЖРГ			Режим работы БИС АУ
Т „мл“	Т „ст“	Т „сам“	
1	1	*X*	БИС АУ работает в автономном режиме с двухуровневым активным сигналом „Исполнено“
0	1	0	БИС АУ является старшим модулем при параллельном включении нескольких БИС АУ
1	0	0	БИС АУ является младшим модулем при параллельном включении нескольких БИС АУ
0	0	0	БИС АУ занимает промежуточное положение при параллельном включении нескольких БИС АУ
0	1	1	Автономная работа БИС АУ

Блок расширения используется для согласования БИС АУ по цепям переноса или сдвига (C_0, $\overline{C_0}$, C_1, ..., $\overline{C_{16}}$) при построении системы с расширенной разрядностью путем параллельного включения нескольких БИС АУ.

БРГМГД совместно с БОБ позволяет осуществлять асинхронный прием и выдачу информации по 16-разрядной магистрали данных, БФБМСН при этом используется для выдачи признаков результата операции (содержимого старших разрядов РГСН), управление работой блоков АУ производится с помощью БУ, обеспечивающего дешифрацию микрокоманд и формирование соответствующих управляющих сигналов. БС используется для формирования внутренних синхросигналов, обеспечивающих работу БИС АУ, и внешних синхроимпульсов, позволяющих обеспечить работу нескольких БИС АУ в составе системы с применением БИС УП.

В табл. 8.6 приведены назначение, наименование и нумерация выводов БИС АУ в корпусе типа 429.42-1.

Таблица 8.6

Номер вывода	Обозначение	Наименование	Примечание
1—4	МК7—МК10	Микрокоманда	Вход
5—20	КН1-0—КН1-15	Канал 1	Вход/выход
21	⊥	Общий	—
22—25	КН2-0—КН2-3	Канал 2	Выход
26	С16	Перенос к старшему модулю	Вход/выход
27	С16	Перенос к старшему модулю	Выход
28	$\overline{СО}$	Перенос к младшему модулю	Вход
29	СО	Перенос к младшему модулю	Вход/выход
30	С	Режим синхронизации	Вход
31	Ф1	Синхронизация	Вход/выход
32	В	Сопровождение	Вход/выход
33	ОПМ	Окончание приема	Вход/выход
34—40, 41	МК0—МК6, МК11	Микрокоманда	Вход
42	$U_{ип}$	Питание (+5 В)	—

Арифметический расширитель (АР) К588ВР1 представляет собой 8-разрядный арифметической расширитель, предназначенный для быстрого выполнения опера-

ций умножения, деления и многоразрядных сдвигов, а также специфических операций с плавающей запятой. БИС АР позволяет существенно расширить функциональные возможности и производительность систем, построенных на основе базового комплекта серии К588. При этом сохраняются особенности, определяющие его преимущества по сравнению с другими комплектами: микропрограммное управление, асинхронный обмен, автономная внутренняя синхронизация, электрическая совместимость с ТТЛ СИС и БИС, обеспечивающие в совокупности достаточно высокое быстродействие и весьма низкое потребление мощности.

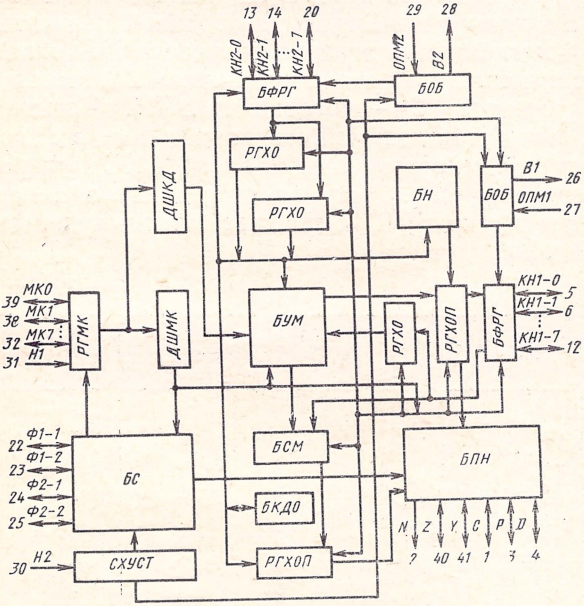


Рис. 8.4. Структурная схема БИС арифметического расширителя К588ВР1

В состав БИС (рис. 8.4) входят следующие блоки: блок умножения (БУМ), два буферных регистра (БФРГ), регистр микрокоманды (РГМК), три регистра промежуточного хранения операндов (РГХО), два регистра хранения результатов операций (РГХОП), дешифратор микрокоманд (ДШМК), блок поиска кода операнда (БКДО), блок выбора нулевого приближения (БН), дешифратор кода сдвига (ДШКД), блок синхронизации

(БС), схема начальной установки (СХУСТ), блок суммирования (БСМ) и два блока обмена (БОБ).

Основной блок БИС АР — БУМ — представляет собой матрицу сложения/сдвига размером 8×8 элементов. Два БФРГ реализованы на 8-разрядных регистрах и используются для ввода — вывода данных по каналам 1 и 2. РГМК также содержит 8 разрядов. Три РГХО выполняют функции 8-разрядных регистров промежуточного хранения операндов. Два РГХОП обеспечивают хранение результата операции (РП1 — младшая часть, РП2 — старшая). Поиск кода «левого нулевого (или единичного) бита» или «левой пары неравнозначных бит» операнда производит блок БКДО. БН предназначен для выбора нулевого приближения обратной величины делителя. Формирование признаков и состояний типа: знака (N), сравнения результата с нулем (Z), переполнения (V) и переноса (C) — производит БПН. Четырехвходовый БС осуществляет синхронизацию как в самой БИС АР, так и в многоразрядном блоке БИС при расширении размера слова. Режим асинхронного обмена осуществляется двумя БОБ по двунаправленным шинам каналов К1 и К2.

Таблица 8.7

Номер вывода	Обозначение	Наименование	Примечание
1—4, 40, 41	C, N, P, D, Z, V	Признак	Вход/выход
5—12	КН1-0—КН1-7	Канал 1	Вход/выход
13—20	КН2-0—КН2-7	Канал 2	Вход/выход
21	⊥	Общий	
22—25	Ф2-1—Ф2-2	Синхронизация	Вход/выход
26, 28	В1, В2	Асинхронный обмен	Выход
27, 29	ОПМ1, ОПМ2	„	Вход
30	Н2	Запись признаков	Вход
31	Н1	Запуск микрокоманды	Вход
32—39	МК0—МК7	Микрокоманда	Вход
42	$U_{и1}$	Питание (+5 В)	

Система микрокоманд БИС АР содержит 256 микроопераций. Микрокоманды умножения выполняются по алгоритму умножения чисел в дополнительном коде с одним корректирующим шагом.

В табл. 8.7 приведены назначение, наименование и нумерация выводов БИС в корпусе 429-42-1.

Применение МПК БИС серии К588 [7, 40] позволяет реализовать вычислительные и управляющие системы с различной конфигурацией, структурой и возможностями обработки данных. На рис. 8.5 приведена структура микропроцессорного блока системы с последовательной обработкой информации. Пример построения 32-разрядного блока АУ, управляемого УП, изображен на рис. 8.6. Приведен такой вариант межсоединений, когда для формирования управляющего сигнала «начать» используется один разряд микрокоманды.

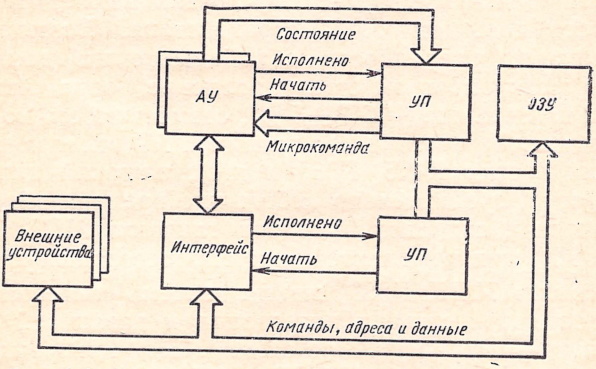


Рис. 8.5. Структура микропроцессорного блока с последовательной обработкой данных

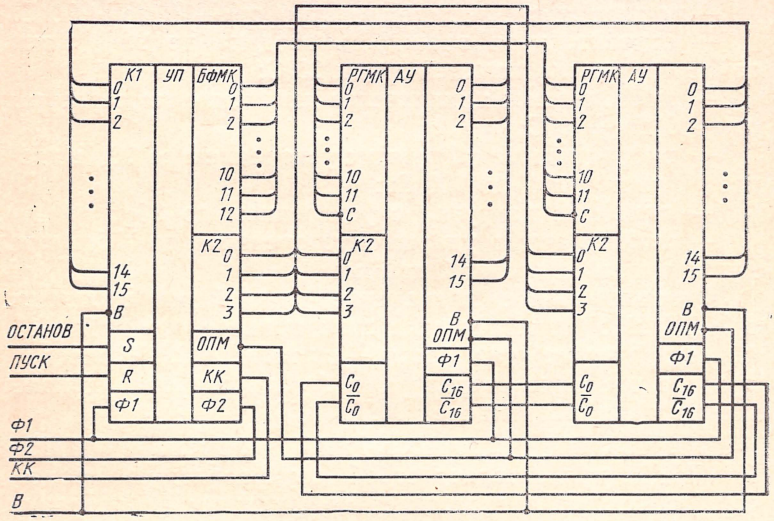


Рис. 8.6. Пример построения вычислителя с обработкой 32-разрядных данных на МПК ИС серии К588

9. Микропроцессорный комплект интегральных схем серии К589

МПК серии К589 (бК0.348.319 ТУ), выполненный на базе транзисторно-транзисторной логики с диодами Шотки (ТТЛДШ), предназначен для построения быстродействующих контроллеров с различной организацией, процессоров мини- и микро-ЭВМ, других вычислительных устройств повышенного быстродействия. Возможность наращивания разрядности обрабатываемых данных и команд, микропрограммное управление, один номинал источника питания (+5 В±5%), совместимость по уровням сигналов со всеми серийными ТТЛ интегральными схемами (серии К155, К555 и др.), широкий диапазон температур, сравнительно небольшие времена задержки прохождения сигналов выгодно отличают МПК серии К589 от других комплектов микропроцессорных схем.

В состав МПК К589 входят восемь интегральных схем различной степени интеграции и различной функциональной сложности. Все схемы МПК К589 выполнены в корпусах типа 2 (ГОСТ 17467—72) и рассчитаны на эксплуатацию при следующих условиях:

— интервал рабочих температур от —10 до +70°С;

— относительная влажность воздуха до 98% при температуре окружающей среды 25°С;

— многократное циклическое изменение температуры от —10 до +70°С;

— вибрационные нагрузки с ускорением до 10g в диапазоне частот от 1 до 600 Гц;

— линейные нагрузки с ускорением до 25g;

— многократные удары с ускорением до 75g при длительности удара от 2 до 6 мс.

Функциональное назначение каждой из входящих в МПК К589 интегральных схем приведено в табл. 9.1, а электрические параметры — в табл. 9.2. Приведем краткое описание структуры и функционирования каждой из интегральных схем МПК К589.

Центральный процессорный элемент (ЦПЭ) К589ИК02 представляет собой двухразрядную процессорную секцию и выполняет арифметические операции в двоичном дополнительном коде, логические операции

Таблица 9.1

Обозначение	Наименование ИС	Характеристика корпуса			
		Обозначение	Число выводов	Длина, мм	Ширина, мм
К589ИК02	Центральный процессорный элемент	2121.28-1	28	36,5	15,0
К589ИК03	Схема ускоренного переноса	2121.28-1	28	36,5	15,0
К589ИК01	Блок микропрограммного управления	2123.40-1	40	51,5	15,0
К589ИР12	Многорежимный буферный регистр	239.24-2	24	31,5	15,0
К589ИК14	Блок приоритетного прерывания	239.24-2	24	31,5	15,0
К589ХЛ4	Многофункциональное синхронизирующее устройство	238.16-2	16	21,5	7,5
К589АП16	Шинный формирователь	238.16-2	16	21,5	7,5
К589АП26	Шинный формирователь с инверсией	238.16-2	16	21,5	7,5

И, ИЛИ, НЕ, ИСКЛЮЧАЮЩЕЕ ИЛИ, положительные и отрицательные приращения, сдвиг влево и вправо, проверку слова, части слова или одного разряда на 0; вырабатывает сигналы ускоренного переноса. ЦПЭ имеет три типа шин выходных данных с тремя устойчивыми состояниями и 40 типов микроинструкций. Корпус БИС К589ИК02 имеет 28 выводов, назначение каждого из выводов приведено в табл. 9.3. На выводах 5, 6, 15—17, 24—27 выходная и входная информация представляется в прямом коде, на остальных — в обратном.

Таблица 9.2

Обозначение ИС	Напряжение, В		Ток потребления, мА	Средняя мощность, мВт	Длительность цикла, нс
	„0“	„1“			
К589ИК01	$\leqslant$0,5	$\geqslant$2,4	$\leqslant$240	850	$\leqslant$85
К589ИК02	$\leqslant$0,5	$\geqslant$2,4	$\leqslant$190	725	$\leqslant$100
К589ИК03	$\leqslant$0,5	$\geqslant$2,4	$\leqslant$130	450	$\leqslant$13
К589ИР12	$\leqslant$0,5	$\geqslant$3,65	$\leqslant$130	450	$\leqslant$35
К589ИК14	$\leqslant$0,5	$\geqslant$2,4	$\leqslant$130	450	$\leqslant$80
К589ХЛ4	$\leqslant$0,5	$\geqslant$2,4	$\leqslant$95	400	$\leqslant$50
К589АП16	$\leqslant$0,7	$\geqslant$2,4	$\leqslant$130	470	$\leqslant$65
К589АП26	$\leqslant$0,7	$\geqslant$2,4	$\leqslant$130	470	$\leqslant$65

Таблица 9.3

Номер вывода	Обозначение	Наименование	Примечание
1,2	$ВШ_0$, $ВШ_1$	Внешняя шина	Вход
3,4	$МСШ_0$, $МСШ_1$	Маскирующая шина	Вход
5,6	$УПС_0$, $УПС_1$	Ускоренный перенос	Выход
7	$ПС_0$	Перенос	Выход
8	$СДП_0$	Сдвиг вправо	Выход
9	$СДП_1$	Сдвиг вправо	Вход
10	$ПС_1$	Перенос	Вход
11	РА	Разрешение адреса	
12, 13	$А_1$, $А_0$	Адрес памяти	Выход
14	⊥	Общий	
15—17, 24—27	F_6—$\overline{F}_0$	Разряды кода микрокоманды	Вход
18	С	Синхронизация	Вход
19, 20	$Д_0$—$Д_1$	Разряды кода информации	Выход
21, 22	$Д'_1$, $Д'_0$	»	Вход
23	ВД	Разрешение данных	Вход
28	$U_{ип}$	Питание (+5,0 В)	

Структурная схема ЦПЭ приведена на рис. 9.1. В состав ЦПЭ входят арифметико-логическое устройство (АЛУ), два мультиплексора (МА и МБ), дешифратор микрокоманд (ДШМК), блок регистров общего назначения (РОН), регистр адреса памяти (РГА), регистр-аккумулятор (АК) и выходные буферные усилители (ВЫХБФУС).

Арифметико-логическое устройство предназначено для выполнения арифметических и логических операций, включая сложение двоичных чисел в дополнительном коде, +1 и —1, поразрядное логическое сложение и умножение, поразрядное ИСКЛЮЧАЮЩЕЕ ИЛИ—НЕ и поразрядное логическое дополнение. Результат операции записывается либо в аккумулятор, либо в один из регистров блока РОН. Для выполнения операции сдвига вправо используются выводы «Сдвиг вправо» ($СДП_1$ и $СДП_0$) (выводы 8 и 9). Шины входа ($ПС_1$) и выхода ($ПС_0$) переноса предназначены для построения схемы переноса для многоразрядной (больше двух разрядов) схемы АЛУ. Кроме того, имеются два выхода ($УПС_0$ и $УПС_1$) для построения схемы ускоренного переноса. При неарифметических операциях схемы переноса используются для получения логической сборки всех разрядов

обрабатываемого слова с целью анализа на 0 результата операции или одного из регистров.

Маскирующая шина МСШ предназначена для маскирования входов АЛУ и значительно расширяет его возможности. Кроме того, эта шина предназначена для передачи констант в ЦПЭ.

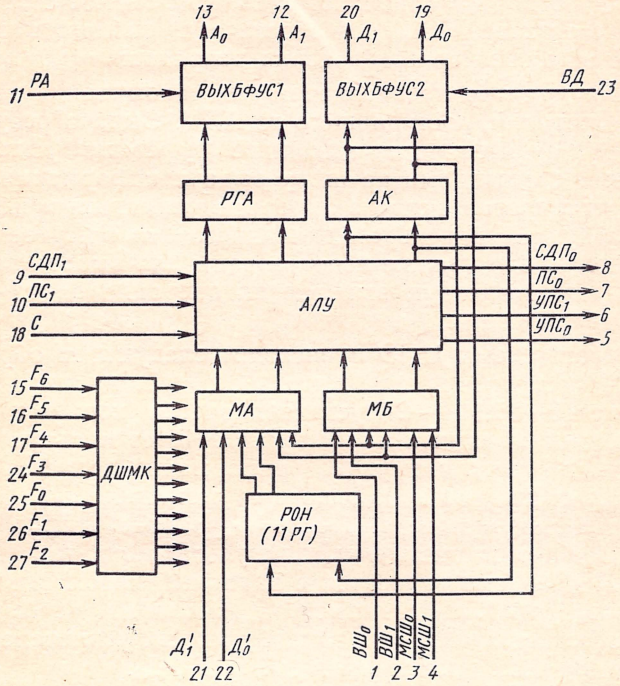


Рис. 9.1. Структурная схема БИС центрального процессорного элемента К589ИК02

Дешифратор микрокоманд, принимая по входной шине F код микрокоманды, декодирует ее и выдает необходимые инструкции на АЛУ, блок РОН и мультиплексоры. Блок РОН, выполняющий роль сверхоперативного ЗУ, содержит 11 регистров $РГ_0$—$РГ_9$ и Т. Запись информации производится из АЛУ, считанная информация поступает на вход МА.

Входная шина (Д) служит для передачи данных из внешнего ОЗУ в АЛУ через МА. Входная ВШ служит для передачи данных от внешних систем ввода — вывода в АЛУ через МБ. Разделение на две шины обеспечивает

относительно малую загрузку шин памяти даже в том случае, когда к шине ВШ подключено большое число устройств ввода — вывода. Мультиплексоры МА и МБ предназначены для обеспечения последовательной загрузки АЛУ необходимыми данными (в зависимости от кода микрокоманды). Данные на выбранном входе МБ всегда логически умножаются на содержимое соответствующего входа МСШ для обеспечения гибкого маскирования и возможности проверки разрядов.

Аккумулятор предназначен для запоминания результата операции, поступившего из АЛУ. Выдача результата производится через выходные буферные усилители с тремя состояниями на шину выдачи информации (Д). Регистр адреса, внешние буферные усилители и шина А используются для пересылки адресов во внешнее ОЗУ. Они могут быть также использованы для выборки внешнего устройства при выполнении операции ввода — вывода информации.

Работа схемы ЦПЭ происходит следующим образом. После поступления положительного синхроимпульса на входах 15—17, 24—27 устанавливается код операции, считанный из памяти микрокоманд. Через мультиплексоры МА и МБ на схему АЛУ информация подается либо с входных шин, либо из одного из регистров блока РОН, либо из аккумулятора. После обработки информации в АЛУ с окончанием синхроимпульса результат выполненной операции заносится в заданный кодом операции регистр. Содержимое регистров РГА и АК через соответствующие блоки выходных буферных усилителей подается на выходные шины $А_0$, $А_1$ и $Д_0$, $Д_1$.

Выходы схемы ЦПЭ, определяющие выходную информацию ($А_i$, $Д_i$, $ПС_0$ и $СДП_0$) могут быть установлены в состояние разомкнутой цепи (третье состояние), что позволяет организовать вычислительное устройство на базе схемы К589ИК02 по магистральному принципу.

Содержание выполняемой ЦПЭ микрокоманды определяется функциональной (F) и регистровой (R) группами разрядов, которые задаются по шине F. F-группа определяется тремя старшими разрядами (F_4—F_6), а R-группа — четырьмя младшими F_0—F_3 разрядами данных. Форматы и кодировка F- и R-групп, а также подробное описание всех микроинструкций в зависимости от состояния шины микрокоманд приведены в работе [30].

В случае необходимости обработки $2n$-разрядных слов (n=2, 3, 4, ...) схемы К589ИК02 должны быть объединены так, как показано на рис. 9.2. При этом общее время сложения двух чисел увеличивается с увеличением числа схем К589ИК02.

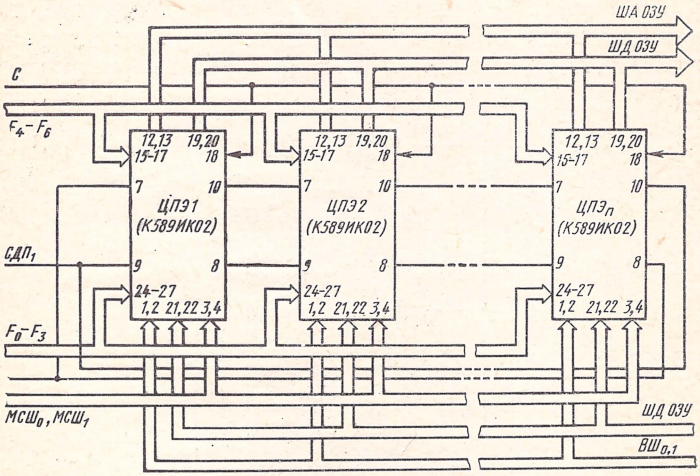


Рис. 9.2. Схема объединения БИС К589ИК02 в многоразрядную процессорную секцию

Схема ускоренного переноса (СУП) К589ИК03 предназначена для уменьшения времени сложения путем формирования групповых переносов. С помощью этой

Таблица 9.4

Номер вывода	Обозначение	Наименование	Примечание
19, 20, 24, 10, 6, 5, 26, 2	$УПС_0$[0—7]	Групповые переносы	Вход
18, 21, 23, 11, 8, 6, 27, 1	$УПС_1$[0—7]	»	Вход
3	$РПС_{n+8}$	Разрешение переноса	Вход
4, 9, 12, 13, 15, 16, 22, 25	$ПС_{n+8}$, $ПС_{n+1}$—$ПС_{n+7}$	Перенос	Выход
14	⊥	Общий	
17	$\overline{ПС_n}$	Вход переноса	Вход
28	$U_{ип}$	Питание (+5 В)	

схемы можно сформировать 16-разрядный сумматор на БИС К589ИК02 или 16N-разрядный сумматор на микропроцессорной N-разрядной секции другого типа. Функциональная схема К589ИК03 приведена на рис. 9.3, а назначение выводов — в табл. 9.4.

Схема ускоренного переноса (К589ИК03) имеет 17 информационных входов, восемь информационных выходов и один управляющий вход, с помощью которого воз-

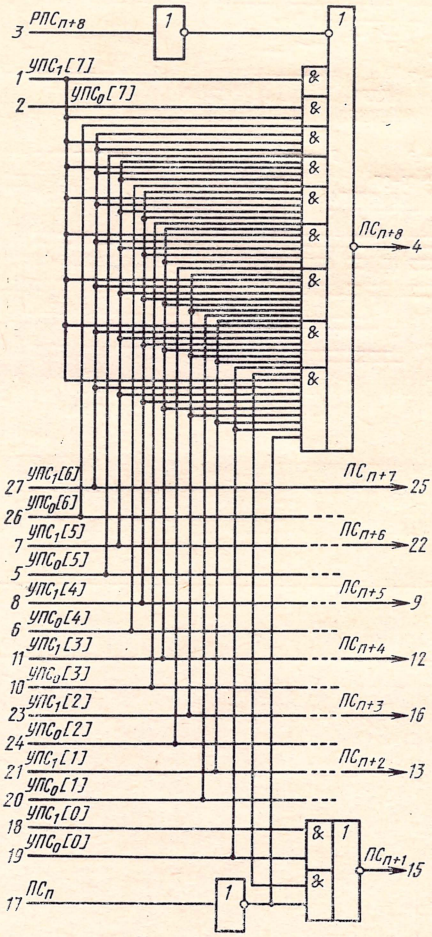


Рис. 9.3. Функциональная схема ИС ускоренного переноса К589ИК03

можно управление выходом самого старшего переноса путем перевода его в третье состояние.

Один из вариантов организации ускоренного переноса совместным включением восьми микросхем К589ИК02 и одной К589ИК03 представлен на рис. 9.4.

Блок микропрограммного управления (БМУ) К589ИК01 предназначен для управления последовательностью выборки микрокоманд из памяти микропрограмм и регистрами флажков, используемых для организации условных переходов по признакам, вырабатываемым схемой ЦПЭ или другим устройством, а также для хранения и последующей выдачи этих признаков.

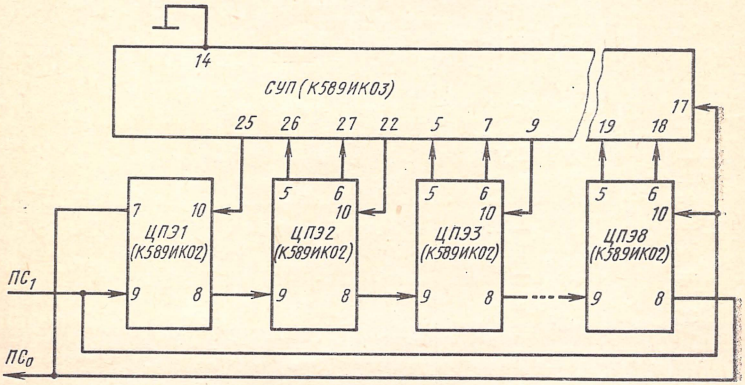


Рис. 9.4. Организация микропроцессора с использованием ИС К589ИК03

Схема К589ИК01 выполняет эти функции путем выборки следующей микрокоманды по содержимому РГА микрокоманды, управления работой регистра адреса микрокоманды, декодирования и проверки данных, поступающих с нескольких входных магистралей, для определения последовательности выполнения микрокоманд, хранения и проверки передаваемых входных данных, управления передачей и сдвигом входных данных ЦПЭ, управления прерываниями микропрограммного уровня, непосредственной адресации стандартных ПЗУ и ППЗУ (при этом возможности адресации ограничиваются 512 адресами микрокоманд).

Корпус БИС К589ИК01 имеет 40 выводов, назначение которых приведено в табл. 9.5. Структурная схема БИС БМУ приведена на рис. 9.5. Ядром схемы является блок

Таблица 9.5

Номер вывода	Обозначение	Наименование	Примечание
1—4	$К_4$—$К_7$	Разряды первой части команды	Вход
5, 6, 8, 10	$К_0$—$К_3$	Разряды второй части команды	Вход
7, 9, 11	$РГК_2$—$РГК_0$	Разряды регистра команд	Выход
12, 13	$УФ_3$, $УФ_2$	Управление занесением и хранением флажков	Вход
14	ПН	Признак	Выход
15, 16	$УФ_0$, $УФ_1$	Управление выдачей флажков	Вход
17	ПН	Признак	Вход
18	СТР	Строб разрешения прерывания	Выход
19	С	Синхронизация	Вход
10	⊥	Общий	
21—24, 37—39	$УА_0$—$УА_6$	Управление регистром адреса микрокоманды	Вход
25	ОСТР	Общий строб	Вход
26—29	$МК_0$—$МК_3$	Адрес колонки микрокоманды	Выход
30—34	$МК_4$—$МК_8$	Адрес строки микрокоманды	Выход
35	РСР	Разрешение выдачи адреса строки	Вход
36	ЗМК	Загрузка адреса микрокоманды	Вход
40	$U_{ип}$	Питание (+5 В)	

определения следующего адреса микрокоманды (БОСАМК), обеспечивающий формирование адресов микрокоманд и выполнение функций условных и безусловных переходов, имеющихся в составе каждой микрокоманды. Микрокоманда обычно содержит поле операции перехода, которое определяет команду перехода, следовательно, и следующий адрес микрокоманды.

Для минимизации числа выводов схемы БМУ и упрощения структуры блока БОСАМК массив адресов микрокоманд организуется в виде двумерного массива (матрицы). Каждый адрес микрокоманды соответствует элементу матрицы на пересечении определенной строки и колонки. 9-разрядный адрес микрокоманды определяется двумя адресами: адресом строки (пять разрядов) и адресом колонки (четыре разряда). Следовательно,

матрица адресов может содержат 32 адреса строки и 16 адресов колонок — всего 512 адресов микрокоманд.

Работа БИС К589ИК01 происходит следующим образом. При поступлении импульса синхронизации на магистрали УА (21, 24, 37—39) устанавливается код операции перехода, поступающий из памяти микрокоманд.

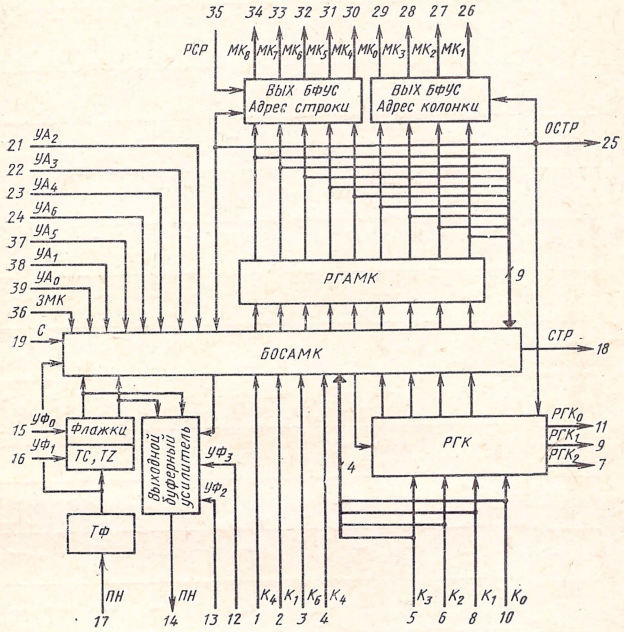


Рис. 9.5. Структурная схема БИС блока микропрограммного управления К589ИК01

Затем в блоке БОСАМК вырабатывается код необходимого адреса, который далее поступает в РГАМК. Это происходит, если на входе загрузки адреса микрокоманд (ЗМК) установлен 0. В противном случае в РГАМК поступает код, содержащийся на магистрали К (выводы 5, 6, 8, 10).

Если схемой БОСАМК установлен адрес, являющийся элементом матрицы, находящимся на пересечении нулевой строки и 15-й колонки, то на выход СТР (18) выдается сигнал разрешения прерывания.

Если на входе синхронизации (С) установлен 0, то в триггер ТФ записывается информация, которая с при-

Таблица 9.6

Обозначение	Название операции	Состояние управляющих входов							Адрес следующей строки					Адрес следующей колонки			
		$УА_6$	$УА_5$	$УА_7$	$УА_3$	$УА_2$	$УА_1$	$УА_0$	$МК_3$	$МК_7$	$МК_6$	$МК_5$	$МК_4$	$МК_3$	$МК_2$	$МК_1$	$МК_0$
ICC	Переход в текущей колонке	0	0	S_4	S_3	S_2	S_1	S_0	S_4	S_3	S_2	S_1	S_0	M_3	M_2	M_1	M_0
IZR	Переход в нулевую строку	0	1	0	S_3	S_2	S_1	S_0	0	0	0	0	0	S_3	S_2	S_1	S_0
ICR	Переход в текущей строке	0	1	1	S_3	S_2	S_1	S_0	M_8	M_7	M_6	M_5	M_4	S_3	S_2	S_1	S_0
ICE	Переход в текущей колонке в группе адресов строк	1	1	1	0	S_2	S_1	S_0	M_8	M_7	S_2	S_1	S_0	M_3	M_2	M_1	M_0
IFL	Переход по содержимому ТГФ	1	0	0	S_3	S_2	S_1	S_0	M_8	S	S_2	S_1	S_0	M_3	0	1	$Ф$
ICF	Переход по содержимому С	1	0	1	0	S_2	S_1	S_0	M_8	M_7	S_2	S_1	S_0	M_3	0	1	C
IZF	Переход по содержимому *Z*	1	0	1	1	S_2	S_1	S_0	M_8	M_7	S_2	S_1	S_0	M_3	0	1	Z
IPR	Переход по содержимому РК	1	1	0	0	S_2	S_1	S_0	M_8	M_7	S_2	S_1	S_0	PK_3	PK_2	PK_1	PK_0
ILL	Переход по левым разрядам *РК*	1	1	0	1	S_2	S_1	S_0	M_8	M_7	S_2	S_1	S_0	0	1	PK_3	PK_2
IRL	Переход по правым разрядам *РК*	1	1	1	1	1	S_1	S_0	M_8	M_7	1	S_1	S_0	1	1	PK_1	PK_0
IPX	Переход по содержимому $K_4 — K_7$	1	1	1	1	0	S_1	S_0	M_8	M_7	M_6	S_1	S_0	K_7	K_6	K_5	K_4

Таблица 9.7

Обозначение	Код		Описание
	$УФ_1$	$УФ_0$	
SCZ	0	0	Установить триггеры *C* и *Z* по значению ПН
STZ	0	1	Установить триггер *Z* по значению ПН
STC	1	0	Установить триггер *C* по значению ПН
HCZ	1	1	Хранить содержимое триггеров *C* и *Z*
	$УФ_2$	$УФ_3$	
FFO	0	0	Выдать на выход ПН „0“
FFC	0	1	Выдать на выход ПН состояние триггера *C*
FFZ	1	0	Выдать на выход ПН состояние триггера *Z*
FFI	1	1	Выдать на выход ПН „1“

ходом отрицательного фронта синхроимпульса подается во флажковые триггеры TC или TZ в зависимости от кода операции, поступившего на входы $УФ_0$, $УФ_1$ (15, 16).

Выходы $МК_0$—$МК_8$ (26—29, 30—34), определяющие выходную информацию, могут быть сигналами, поданными на шины ОСТР и РСР (25 и 35), установлены в состояние разомкнутой цепи, что позволяет вести обработку информации в режиме прерываний.

Набор операций, выполняемых БИС К589ИК01, состоит из трех групп, первая предназначена для установления очередного адреса микрокоманды и определяется состоянием входов $УА_0$—$УА_6$ (21—24, 37—39), вторая определяется состоянием входов $УФ_0$ и $УФ_1$ (15, 16), третья — состоянием входов $УФ_2$ и $УФ_3$ (12, 13). Вторая и третья группы обеспечивают прием, хранение и выдачу информации о признаках. В табл. 9.6 и 9.7 приведены все три группы операций. В табл. 9.6 использованы следующие обозначения: S_i — данные по шине УА (21—24, 37—39), данные в *i*-м разряде регистра адреса микрокоманд, $РК_i$ — данные в *i*-м разряде регистра команд, K_i — данные на *i*-й шине К (1—4, 5, 6, 8, 10), *Ф*, *C*, *Z* — содержимое триггеров *Ф*, *C*, *Z* соответственно.

Многорежимный буферный регистр (МБР) К589ИР12 предназначен для подключения различных внешних устройств МП вычислительного устройства с помощью единой магистрали данных. Схема МБР осуществляет прием, хранение и выдачу машинного слова данных с разрядностью 8 бит и индикацию сигнала запроса внешнего устройства на захват магистрали данных. Корпус схемы К589ИР12 имеет 24 вывода, назначение которых приведено в табл. 9.8.

Таблица 9.8

Номер вывода	Обозначение	Наименование	Примечание
1, 13	$ВМ_1$, $ВМ_2$	Выбор микросхемы	Вход
2	ВР	Выбор режима	Вход
3, 5, 7, 9, 16, 18, 20, 22	$Д_1$—$Д_8$	Код информации	Вход
4, 6, 8, 10, 15, 17, 19, 21	Q_1—Q_8	То же	Выход
11	СТР	Строб	Вход
12	⊥	Общий	Вход
14	$\overline{R}$	Установка нуля	Вход
23	ЗС	Запуск	Выход
24	$U_{ип}$	Питание (+5 В)	

На рис. 9.6 приведена функциональная схема МБР (индексом ЗС обозначены логические элементы с тремя состояниями). В схему входят 8-разрядный регистр, состоящий из *D*-триггеров, объединенных общим управлением, триггер индикации запроса на прерывание (ТПР) и схема управления. Информационные *D*-триггеры устанавливаются в состояние 0 при подаче импульса на вход R(14) микросхемы. Сигнал выбора режима (ВР) (2) управляет режимом работы схемы. При подаче 0 на этот вход регистр работает во входном режиме и на *D*-триггеры по шинам $Д_1$—$Д_8$ осуществляется запись информации, выходные буферы открыты. При подаче 1 на вход ВР регистр работает в режиме выдачи кода информации (по шинам Q_1—Q_8).

При подаче сигнала установки 0 на вход R(14) все *D*-триггеры устанавливаются в 0, а ТПР — в 1, что означает, что данное устройство не требует прерывания. При 0 на выходе ЗС считается, что МБР находится в состоянии прерывания. Это позволяет обеспечить прямое со-

единение с входами запроса блока приоритетного прерывания (К589ИК14). При работе схемы в режиме ввода (0 на входе ВР) сигнал на входе СТР (11) производит запись информации в регистр и установку триггера запроса прерывания в состояние 0. Триггер запроса пре-

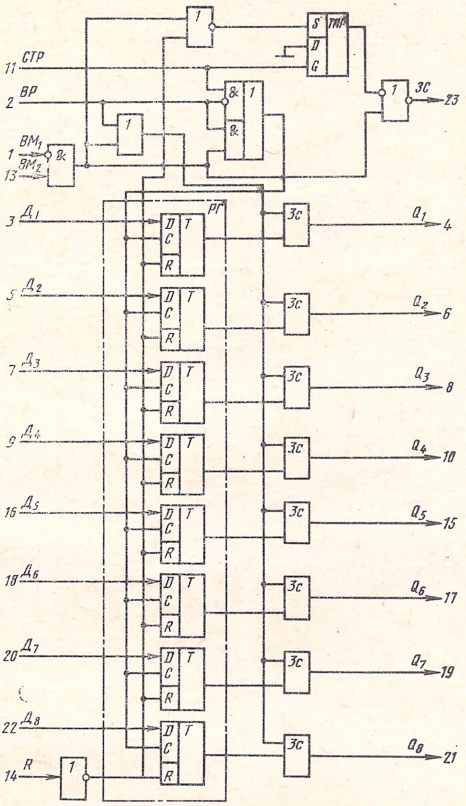


Рис. 9.6. Функциональная схема ИС многорежимного буферного регистра К589ИР12

рывания устанавливается в состояние 1 при условии выбора данной схемы, для этого на вход $ВМ_2$ должен быть подан 0, а на вход $ВМ_1$—1.

На рис. 9.7 приведены примеры использования схемы МБР (К589ИР12) в качестве входного буферного устройства (*а*), устройства прерывания (*б*), выходного

буферного устройства (*в*) и устройства двунаправленной передачи информации (*г*).

Блок приоритетного прерывания (БПП) К589ИК14 предназначен для приема сигналов запроса на прерывание от различных устройств вычислительной системы для формирования сигналов управления МП при необходимости перехода к подпрограмме обработки прерывания.

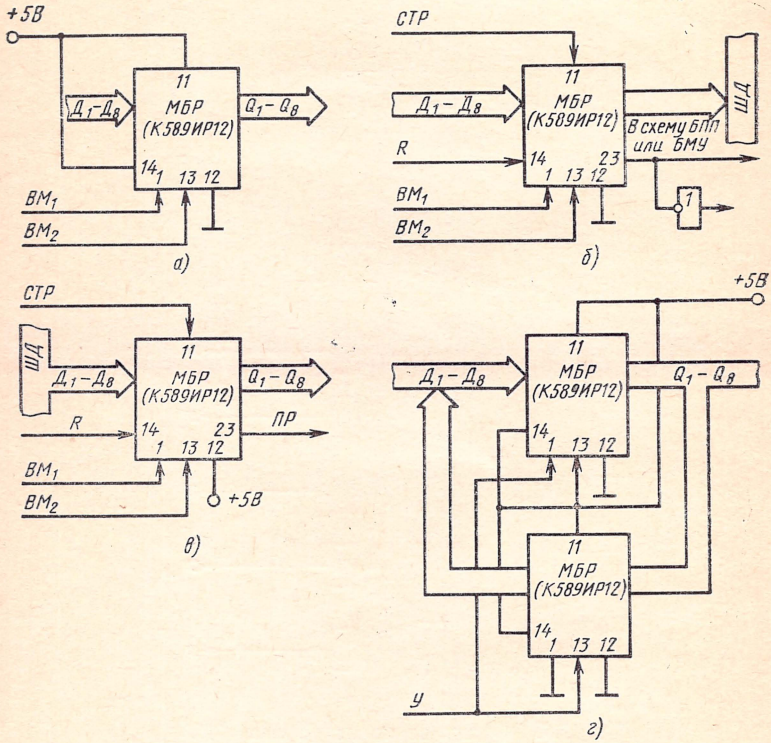


Рис. 9.7. Примеры использования ИС К589ИР12

Число приоритетных уровней прерывания для одной схемы БПП равно восьми. Увеличить число уровней прерываний можно, подключая дополнительные схемы К589ИК14.

Корпус схемы БПП имеет 24 вывода, назначение которых приведено в табл. 9.9. Применение интегральной схемы К589ИК14 обеспечивает: асинхронный прием и

Таблица 9.9

Номер вывода	Обозначение	Наименование	Примечание
1—3	$ПТ_0$—$ПТ_2$	Текущий приоритет	Вход
4	ВУ	Выборка группы уровней прерываний	Вход
5	ПР	Инверсный сигнал прерывания	Выход
6	С	Синхронизация	Вход
7	СТР	Строб прерывания	Вход
8—10	$КП_0$—$КП_2$	Код запроса на прерывание	Выход
11	РКП	Разрешение выдачи информации на выходы $КП_0$—$КП_2$	Вход
12	⊥	Общий	
13	$\overline{РГВ}$	Разрешение группы уровней на прерывание	Вход
14	РПР	То же	Выход
15—22	$ЗПР_0$—$ЗПР_7$	Запрос на прерывание	Выход
23	РПП	Разрешение приема текущего приоритета	Вход
24	$U_{ип}$	Питание (+5 В)	

хранение сигналов восьми уровней прерываний; осуществление приоритета программным способом; автоматическую выработку вектора прерывания; прием и хранение кода уровня обрабатываемого процессором прерывания.

Структурная схема БПП, представленная на рис. 9.8, состоит из 8-разрядного регистра запросов на прерывание с шифратором приоритета, 3-разрядного регистра хранения текущего приоритета, 8-уровневой схемы сравнения приоритетов и 3-разрядного устройства кодировки приоритета с открытыми коллекторными выходами.

После выполнения каждой команды БПП стробируется с целью определения запроса на прерывание. Если последний подтверждается, БМУ переходит на микропрограммную обработку прерывания. Запросы на прерывание поступают через устройство кодирования приоритета на схему сравнения. В ней значение приоритета сравнивается с хранящимся в регистре текущим приоритетом. Запрос, принятый в течение времени действия строба прерывания СТР (7), совместно с синхроимпульсом вызывает установку триггера подтверждения прерывания $Т_2$ в состояние «активное прерывание», выдает

сигнал прерывания ПР (5) и устанавливает триггер запрета прерывания T_1 в 1. По сигналу ПР в МП вырабатывается команда прерывания, которая может передать управление на вход программы обслуживания прерывания, как это показано на рис. 9.9. При этом строб разрешения прерывания может поступать как из схемы БМУ (рис. 9.9,*а*), так и из ЗУ микропрограмм (ЗУМР) (рис. 9.9,*б*). Уровень запроса, хранящийся в памяти запросов на прерывание, может быть передан на входные

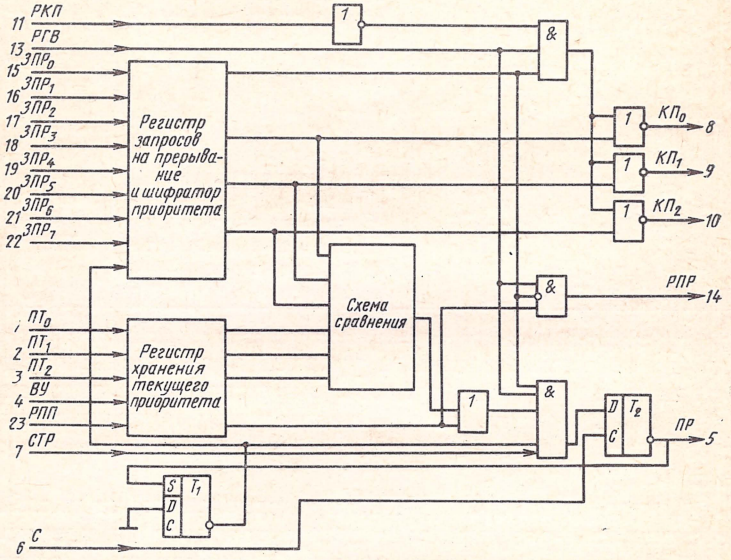


Рис. 9.8. Структурная схема ИС приоритетного прерывания К589ИК14

информационные шины МП по сигналу, подаваемому на вход РСР. Когда определен уровень запроса, программа обработки прерывания записывает его в регистр хранения текущего приоритета БПП. При этом триггер запрета прерываний устанавливается в 1 и осуществляется блокировка любых последующих запросов на прерывание с имеющимся или более низким уровнем приоритета.

Выводы РГВ и РГ могут быть использованы при последовательном соединении нескольких схем БПП, когда одна из них может запретить прерывание для всех последующих БПП. Триггер подтверждения прерывания T_2

устанавливается в активное состояние, если выполнены следующие условия:

— активный уровень запроса ($ЗПР_0$—$ЗПР_7$) выше, чем текущий приоритет ($ПТ_0$—$ПТ_2$);

— на вход СТР подан сигнал 1;

— на вход РГВ подан сигнал 1;

— триггер запрета прерываний сброшен.

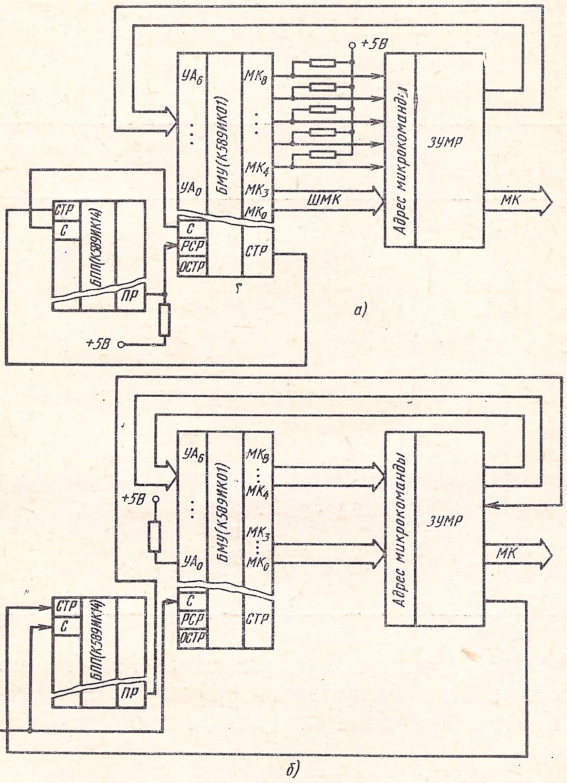


Рис. 9.9. Примеры применения ИС К589ИК14

Сигнал ПР устанавливается в 1 триггер запрета прерывания и удерживает сигналы запросов в регистре запросов на прерывание до засылки новой информации о текущем приоритете в регистр текущего приоритета. Триггер запрета прерывания сбрасывается по завершении операции засылки. Во время этого процесса на выводе РГ может быть сигнал 1, когда:

— на входе РГВ 1;

— текущий приоритет не относится к данной группе уровней;

— на данном уровне нет запросов на прерывание.

Многофункциональное синхронизирующее устройство (МСУ) К589ХЛ4 предназначено для деления частоты и формирования импульсов. Микросхема МСУ выполнена в корпусе с 16 выводами, назначение которых приведено в табл. 9.10.

Таблица 9.10

Номер вывода	Обозначение	Наименование	Примечание
1, 15	C_2, C_3	Переносы синхронизирующие	Вход
2	V	Формирование длительности импульса	Вход
3	C_1	Синхронизация	Вход
4	РЗП	Разрешение записи	Вход
5	$ПС_0$	Перенос	Вход
6	В	Формирование длительности	Выход
7	И	Формирование пачки импульсов	Выход
8	⊥	Общий	
9	$\overline{F}$	Деление	Выход
10	$ПС_1$	Перенос	Выход
11—14	$Д_1$—$Д_4$	Предустановка	Вход
16	$U_{ип}$	Питание (+5,0 В)	

Основные функции, выполняемые МСУ: деление частоты, задержка импульсов, формирование пачки импульсов, формирование импульсов заданной длительности.

Схема содержит программируемый делитель частоты и специальные схемы формирователей (рис. 9.10). Имеется возможность объединения нескольких схем МСУ для увеличения разрядности. Для этого предназначены входы $ПС_0$, C_2, C_3 и выход $ПС_1$. При использовании одной микросхемы на входы $ПС_0$, C_2, C_3 подается 0.

В исходное состояние схема устанавливается подачей импульса начальной установки на вход РЗП с любого синхронизированного или несинхронизированного устройства.

Деление частоты выполняется счетчиком на четырех триггерах, на выходе F которого импульсы появляются каждый раз, когда все разряды счетчика устанавливаются в 1. Код пересчета $K_р$ программируется путем подачи соответствующих сигналов на входы предустановки $Д_1$—$Д_4$. Так, в режиме деления с коэффициентом 7 $K_р$==9, что означает, что на входы $Д_1$ и $Д_4$ необходимо подать сигналы 1, а на входы $Д_2$ и $Д_3$ — 0.

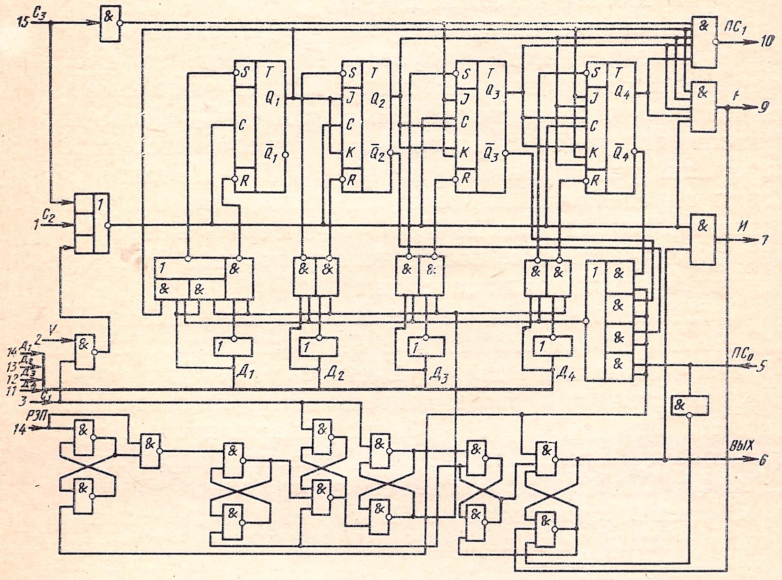


Рис. 9.10. Функциональная схема ИС синхронизирующего устройства К589ХЛ4

Начальный импульс устанавливает счетчик в состояние 1001, с поступлением последующих шести импульсов счетчик переходит в состояние 1111, и после окончания 7-го импульса он снова устанавливается в состояние 1001.

В режиме формирования длительности импульса выход В необходимо соединить со входом переноса V. Сигналом на входе разрешения записи (РЗП) счетчик устанавливается в начальное состояние, после чего одиночный импульс, поданный на вход C_1, переводит счетчик в состояние, соответствующее коду пересчета на входах $Д_1$—$Д_4$. При этом на выходе (ВЫХ) появляется сигнал

1, разрешающий прохождение тактовой частоты через вентиль на выход И. Счетчик ведет отсчет импульсов до состояния, когда все триггеры установятся в 1. При этом на выходе делителя (F) появляется положительный импульс, подаваемый на формирователь длительности импульсов. По его окончании на выходе В устанавливается уровень 0. Таким образом, схемой формируется положительный импульс, длительность которого определяется кодом пересчета на входах $Д_1$—$Д_4$.

Формирование пачки импульсов аналогично формированию длительности импульса. При этом за время существования уровня 1 на выход И поступают импульсы тактовой частоты, подаваемые на вход $С_2$. Число импульсов, поступивших на выход И, определяется кодом пересчета, установленным на входах $Д_1$—$Д_4$. Этим же кодом определяется длительность задержки импульса, появившегося на выходе F, по отношению к импульсу начальной установки, поступившему на вход РЗП (режим дискретной линии задержки).

Организация блока из нескольких микросхем МСУ (К589ХЛ4) приведена на рис. 9.11 (штриховой линией показано соединение для осуществления режима формирования пачки импульсов, длительности и линии задержки). На вывод $ПС_0$ (5), обычно заземляемый при использовании одной микросхемы, подается разрешающий сигнал, с вывода $ПС_1$ последней микросхемы.

Шинный формирователь (ШФ), К589АП16 **и шинный формирователь с инверсией** (ШФИ) К589АП26 выполняют функции двунаправленных формирователей сигналов для управления шинами магистралей в вычислительных устройствах. Обе микросхемы выпускаются в корпусах с 16 выводами. Назначение выводов приведено в табл. 9.11.

Таблица 9.11

Номер вывода	Обозначение	Наименование	Примечание
1	ВМ	Выбор микросхемы	Вход
2, 5, 11, 14	$Д_1$—$Д_4$	Код информации	Выход
3, 6, 10, 13	$ДВ_1$—$ДВ_4$	То же	Вход/выход
4, 7, 9, 12	$ДІ_1$—$ДІ_4$	„	Вход
8	⊥	Общий	
15	$\overline{ВШ}$	Выбор шины	Вход
16	$U_{ип}$	Питание (+5 В)	

Обе микросхемы обеспечивают подключение машинных слов длиной по четыре разряда по одному из двух направлений в соответствии с функциональной схемой, приведенной на рис. 9.12,*а* и *б*.

Управление режимом работы микросхем осуществляется с помощью двух двухвходовых схем И. Передача информации формирователями осуществляется только

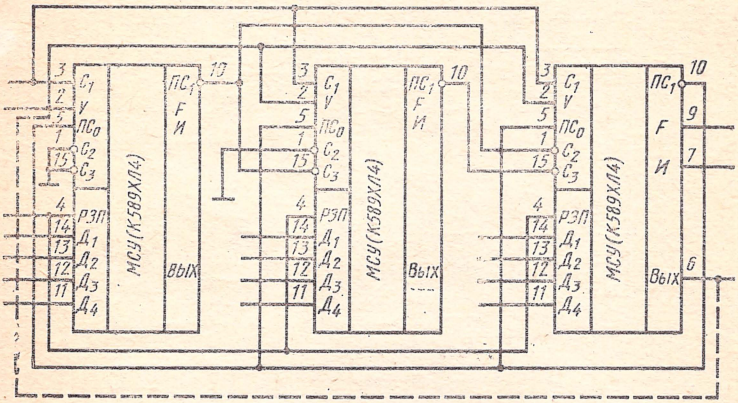


Рис. 9.11. Совместное включение ИС К589ХЛ4

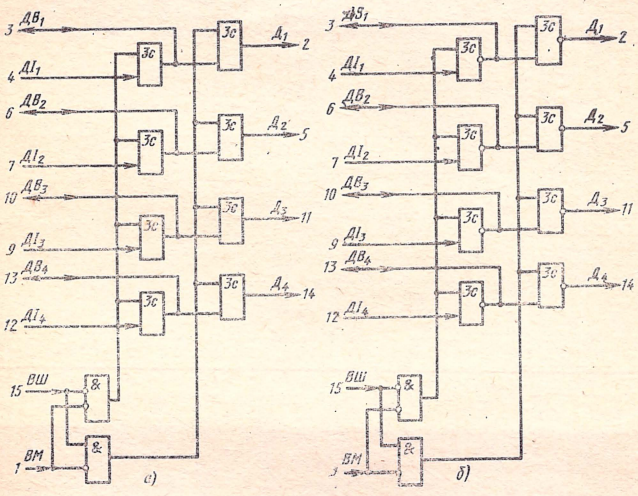


Рис. 9.12. Функциональные схемы ИС шинных формирователей К589АП16 (*а*) и К589АП26 (*б*)

при подаче уровня 0 на вход ВМ, определяющий выбор микросхемы.

Данные могут поступать на микросхемы по входам ДІ или ДВ. Выдача информации производится по выходам ДВ или $Д_0$.

Если на вход ВШ подан уровень 1, то информация передается с входов ДВ на выходы $Д_0$. При подаче на вход ВШ уровня 0 передача информации происходит от входов Д1 на выходы ДВ.

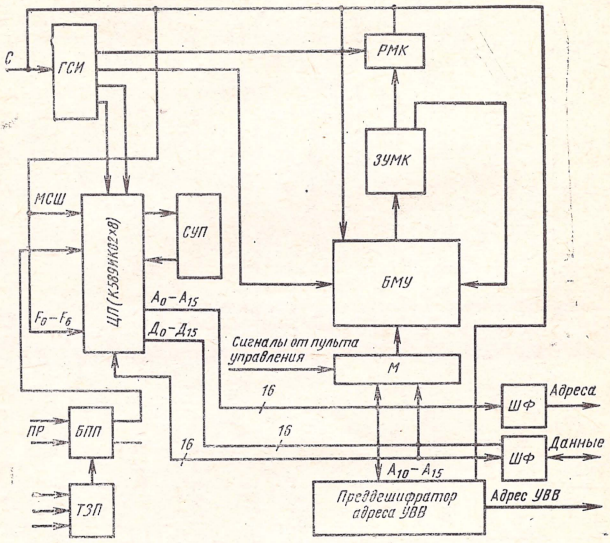


Рис. 9.13. Структурная схема вычислительного устройства на МПК ИС серии К589

Микросхема К589АП26 (ШФИ) отличается от К589АП16 (ШФ) наличием инверторов, изменяющих значение информации на противоположное.

На рис. 9.13 в качестве примера использования МПК серии К589 представлена структурная схема вычислительного устройства, предназначенного для обработки 16-разрядных слов. В состав процессора входят: восемь схем ЦПЭ, схемы СУП, БМУ, БПП, память микрокоманд (ЗУМК), блок шинных формирователей и другие вспомогательные схемы — генератор синхроимпульсов (ГСИ), триггер запрета прерывания (ТЗП), регистр микрокоманд (РМК), мультиплексор (М), преддешифратор адреса устройства ввода — вывода.

Схемы ЦПЭ и СУП реализуют арифметические и логические операции. К ним могут быть подключены также одноразрядные регистры расширения и переполнения (на рис. 9.13 не указаны). Обработка восьми запросов на прерывание ведется с помощью схемы БПП. Входная и выходная шины данных объединяются в блоке ШФ в одну двунаправленную шину данных. Для выбора адреса УВВ служит схема преддешифратора адреса УВВ. Управление работой устройства осуществляется с помощью схемы БМУ, ЗУМК, РМК и нескольких мультиплексоров М (на рис. 9.13 показан один). Мультиплексоры предназначены для расширения функций БМУ. В устройстве отсутствует специальный регистр команд. Его функции выполняет регистр команд БМУ, хранящий команду в течение всего времени ее выполнения.

С МПК серии К589 могут быть использованы микросхемы ОЗУ серий К155РУ2, К155РУ5, К565РУ1, К565РУ3 и др., ППЗУ серий К155РЕ3, К556РТ4, К556РТ5 и др., логические микросхемы серий К155, К531, К555 и др.

10. Микропроцессорный комплект интегральных схем серии U83-К1883

МПК серии U83-К1883, разработка которого проводилась специалистами СССР и ГДР, выполнен на базе *n*-МДП-технологии и предназначен для построения процессоров микро- и мини-ЭВМ, контроллеров и других вычислительных устройств среднего быстродействия. Этот МПК принадлежит к группе секционированных микропроцессоров с микропрограммным управлением, что позволяет строить на его основе вычислительные устройства с длиной обрабатываемых чисел 8, 16 или 32 разряда.

В состав МПК U83-К1883 входят четыре микросхемы высокой степени интеграции, выполненные в керамических корпусах типа 3 (ГОСТ 17467—72) с 48 выводами; МПК следует использовать в диапазоне температур от 0 до 70°С (в нерабочем состоянии — от —60 до 125°С). Питание всех схем МПК осуществляется от одного источника (+5 В±5%), их электрические параметры приведены в табл. 10.1.

Таблица 10.1

Обозначение ИС	Напряжение, В		Ток потребления, мА	Средняя мощность, Вт	Длительность цикла, нс
	„0"	„1"			
U830-К1883ИА0	$<0,8$	$>2,0$	<220	<1	$<1,4$
U831-К1883РТ1	$<0,8$	$>2,0$	<150	$<0,9$	$<1,0$
U832-К1883ВР2	$<0,8$	$>2,0$	<180	$<1,0$	$<2,5$(умн.) $<15,0$(дел.)
U834-К1883ВА4	$<0,8$	$>2,0$	<180	$<1,0$	$8\cdot10^5$ слов/с

В состав комплекта входят БИС арифметического устройства, управляющей памяти, арифметического расширителя и магистрального адаптера.

Арифметическое устройство (АУ) U830-К1883ИА0 представляет собой 8-разрядную процессорную секцию, выполняющую сложение, вычитание, логические операции И, ИЛИ, ИЛИ—ИЛИ, перенос, сдвиг, дополнение и т. д. Назначение выводов корпуса БИС АУ приведено в табл. 10.2.

В состав БИС АУ U830-К1883ИА0 входят: арифметико-логическое устройство (АЛУ), регистр и дешифратор микрокоманд (РМК и ДШ), блок местного управления (БМУ), блок регистров (БРГ), блок расширения (БРШ), блок формирования флагов (БФФ), три блока усилителей каналов 1, 2, 3, блок управления каналами и регистр состояний (рис. 10.1).

Арифметико-логическое устройство выполняет обработку 8-разрядных данных, поступающих по шинам X и Y на два входных регистра. Блок регистров содержит 18 свободно адресуемых 8-разрядных регистров R_{00}—R_{15}, A_1, A_2, предназначенных для приема операндов и результатов обработки. Регистр A_2, кроме того, служит для хранения флагов N, Z, V, C. Регистр микрокоманд и дешифратор служат для приема поступающей на схему микрокоманды, ее дешифровки и выработки последовательности управляющих импульсов.

Каналы 1 и 2 предназначены для приема и передачи данных. Блок управления каналами управляет приемом и передачей данных по ним. Канал 3 служит для выдачи содержимого флагового регистра A_2 или блока формирования флага.

Блок расширения предназначен для объединения до четырех схем АУ с целью расширения разрядности обрабатываемых данных. 4-разрядный регистр состояний может быть загружен микрокомандами обработки опе-

рандов или микрокомандами управления каналами. Вся схема синхронизируется блоком местного управления.

Работа схемы происходит по асинхронному принципу. На входы кода микрокоманды (МК) поступает 14-разрядный код микрокоманды, считанный из схемы управляющей памяти. После ее дешифрации формируется совокупность сигналов, которые поступают на те блоки схемы, которые обеспечивают выполнение данной микро-

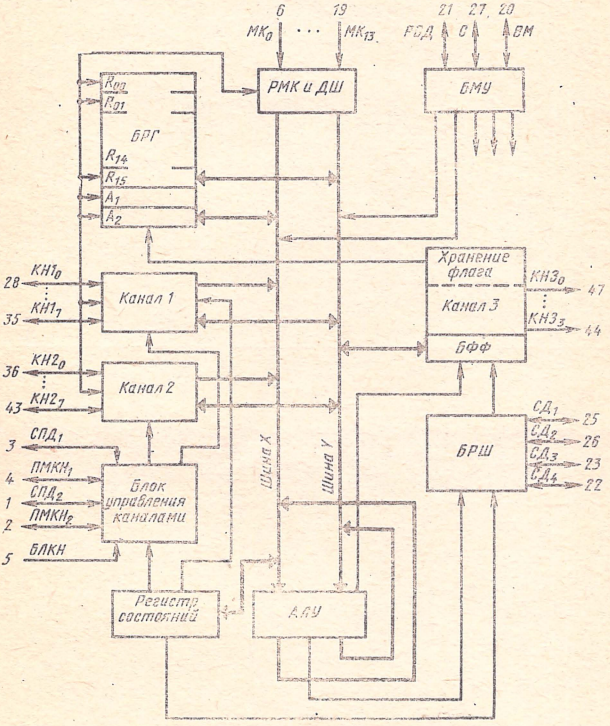


Рис. 10.1. Структурная схема БИС арифметического устройства U830-К1883ИА0

команды. АЛУ производит обработку данных, поступающих по одинаковым по значимости каналам 1 и 2 или хранящихся в регистрах R_{00}—R_{15}, A_1, A_2 и в регистре состояний. Результат операции поступает на один из регистров или на один из каналов.

Сигналы сопровождения данных (СПД), приема данных по каналу (ПМК), разрешения выдачи (РВД), син-

Таблица 10.2

Номер вывода	Обозначение	Наименование	Примечание
1, 3	$СПД_2$, $СПД_1$	Сопровождение данных	Вход
2, 4	$ПМКН_2$, $ПМКН_1$	Прием данных по каналу	Вход
5	БЛКН	Блокировка канала	Вход
6—19	$МК_0$—$МК_{13}$	Код микрокоманды	Вход
20	ВМ	Выбор микросхемы	Вход
21	РВД	Разрешение выдачи	Вход
22, 23	$СД_4$, $СД_3$	Передача и сдвиг влево (ВЫХ), сдвиг вправо (ВХ)	Вход/выход
24	⊥	Общий	
25, 26	$СД_1$, $СД_2$	Передача и сдвиг влево (ВХ), сдвиг вправо (ВЫХ)	Вход/выход
27	С	Синхронизация канала входа	Вход
28—35, 36—43, 44—47	КН1, КН2, КН3	Каналы 1, 2, 3	Вход/выход
48	$U_{ип}$	Питание (+5 В)	

хронизации канала входа (С) и выбора микросхемы (ВМ) служат для синхронизации работы схемы и для разрешения ввода и вывода данных. Кроме того, сигнал ВЫБОР МИКРОСХЕМЫ служит для выбора прибора. Через вход БЛКН может быть подана команда о прямом

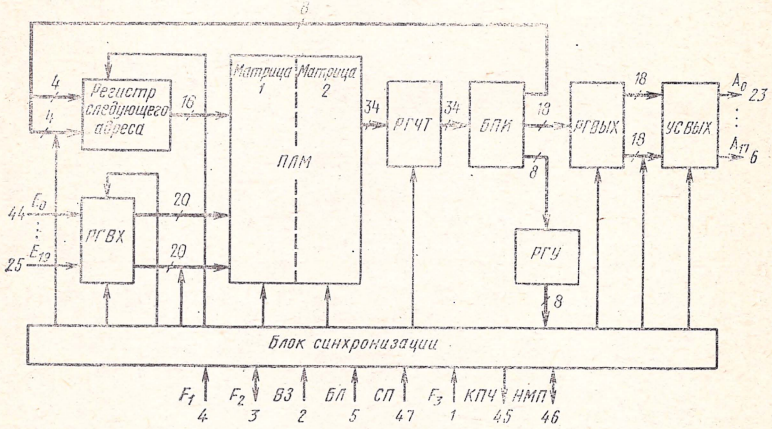


Рис. 10.2. Структурная схема БИС управляющей памяти U831-К1883РТ1

обращении к памяти. Входы $СД_1$—$СД_4$ предназначены для объединения схем АУ для обработки многоразрядных слов (16, 24, 32 разряда). Содержание флагового регистра блока формирования флага может быть выдано по каналу 3.

БИС управляющей памяти *(УП)* U831 — К1883РТ1 предназначена для организации вычислительного процесса путем преобразования машинных команд в последовательности микрокоманд, необходимых для управления БИС АУ U830-К1883ИА0 и БИС АР U832-К1883ВР2. Кроме того, БИС УП может быть использована в качестве кодирующего и декодирующего преобразователя. Назначение выводов корпуса БИС УП приведено в табл. 10.3.

В состав УП (рис. 10.2) входят: программируемая логическая матрица, блок синхронизации и регистры различного назначения.

Таблица 10.3

Номер вывода	Обозначение	Наименование	Примечание
1	F_3	Окончание передачи входной информации	Вход
2	ВЗ	Возврат	Вход
3	F_2	Динамический выход	Вход/выход
4	F_1	Выдача информации на выводах А0—А17	Вход
5	БЛ	Блокировка блокируемых выходов данных	Вход
6—23	А	Код информации	Выход
24	⊥	Общий	
25—44	E_0—E_{19}	Код информации	Вход
45	КПЧ	Окончание передачи информации	Выход
46	НПМ	Начало приема входной информации	Вход/выход
47	СП	Сопровождение данных по входам ЕО—Е	Вход
48	$U_{ип}$	Питание (+5 В)	

Программируемая логическая матрица (ПЛМ) состоит из матрицы 1, содержащей 140 логических схем НЕ—ИЛИ и имеющей 56 входов, и матрицы 2, содержащей 34 логические схемы НЕ—ИЛИ и имеющей 140 входов и 34 выхода. Принцип работы ПЛМ уже достаточно подробно рассмотрен в литературе. В данной ПЛМ

машинная команда может быть приведена к последовательности микрокоманд, число которых может достигать 256.

На выходе ПЛМ размещен регистр чтения (РГЧТ), с которого информация через блок программируемых инверторов (БПИ) подается либо на регистр следующего адреса, либо на управляющий регистр (РГУ), либо на выходной регистр (РГВЫХ). 8-разрядный регистр следующего адреса предназначен для организации необходимой последовательности микрокоманд на выходе БИС УП. 8-разрядный управляющий регистр используется для внутренней синхронизации работы схемы. Выходной регистр и блок выходных усилителей (УСВЫХ) предназначен для временного хранения информации и выдачи ее на схемы, которые управляются от БИС УП.

Режим работы БИС УП (т. е. список микрокоманд, вырабатываемых ПЛМ) задается изготовителем схемы путем программирования связей внутри ПЛМ в соответствии с назначением. Поэтому может быть несколько модификаций БИС УП, отличающихся лишь записанной в них информацией.

Таблица 10.4

Номер вывода	Обозначение	Наименование	Примечание
1—16	К2	Код микрокоманд, поступающих на канал КН2	Вход/выход
17, 18	ПС, $\overline{\text{ПС}}$	Прямой и обратный коды переноса из АЛУ	Вход/выход
19	Ф1	Флаг переноса	Вход/выход
20—22	Ф2—Ф4	Флаги переполнения, „нуль", „знак"	Выход
23	ВМ	Выбор микросхемы	Вход
24	⊥	Общий	
25—27	$\overline{\text{С}}$	Синхронизация	Вход
28	СПК1	Сопровождение информации по каналу КН1	Вход
29	РК1	Разрешение приема—выдачи информации по каналу КН1	Вход
30—31	$\overline{\text{ПП}}$, ПП	Прямой и обратный коды переполнения в АЛУ	Вход/выход
32—37	К1	Код данных по каналу КН1	Вход/выход
48	$U_{\text{пп}}$	Питание (+5 В)	

Асинхронный режим работы БИС УП позволяет использовать ее для организации медленно протекающих операций, что позволяет исключить необходимые для этого схемы задержки, ожидания и согласования. Возможно применение нескольких БИС УП для управления процессом, причем каждая БИС может управлять частью процесса.

Арифметический расширитель (БИС АР) U832-К1883ВР2 предназначен для аппаратного выполнения основных арифметических операций над числами с фиксированной и плавающей запятой. Включение этой схемы в состав МПК U83-К1883 позволяет увеличить быстродействие построенных на нем вычислительных устройств. В одной схеме БИС АР производятся операции над числами с разрядностью 16 бит. Включая две или четыре БИС АР, можно обрабатывать числа с разрядностью 32 или 64 бита.

БИС АР выполняет следующие функции:

— сложение, вычитание, умножение, деление, умножение с последующим сложением двух чисел с фиксированной и плавающей запятой;

— преобразование чисел с фиксированной запятой в числа с плавающей запятой и обратно;

— сравнение, сдвиг, поиск разрядов.

Наличие внутреннего управления, работа схемы по поступлению одной внешней соответствующей микрокоманды, сравнительно короткое время выполнения операций, асинхронный режим работы и т. д. позволяют использовать БИС АР не только в традиционных вычислительных устройствах, но и в дискретных фильтрах, полиномиальных процессорах, различной бытовой аппаратуре.

БИС АР выполнена в 48-выводном корпусе, назначение которых приведено в табл. 10.4. Структурная схема БИС АР приведена на рис. 10.3. В состав БИС АР входят: матрица с регистрами РГХ, РГУ и РГN, АЛУ, блок регистров (БРГ), два канальных регистра (РГК1 и РГК2) и блок местного управления (БМУ).

Матрица, представляющая собой поле из 16×8 сумматоров, соединенных по схеме умножения, предназначена для выполнения операции умножения 16-разрядного операнда, поступающего на регистр РГХ, и 8-разрядного операнда, поступающего на РГУ. Результат умножения размещается в регистре РГ *N* или поступает

на вход АЛУ. АЛУ выполняет арифметические и логические операции, код которых поступает по каналу К2 на регистр РГК2. Прием операндов и выдача результатов осуществляется по каналу К1 через РГК1.

Восемь 16-разрядных регистров (БРГ) используются как внутренняя память БИС АР. Блок местного управления осуществляет управление работой схемы при поступлении на него различных условий. Обмен данными между узлами БИС АР осуществляется с помощью 16-разрядной шины.

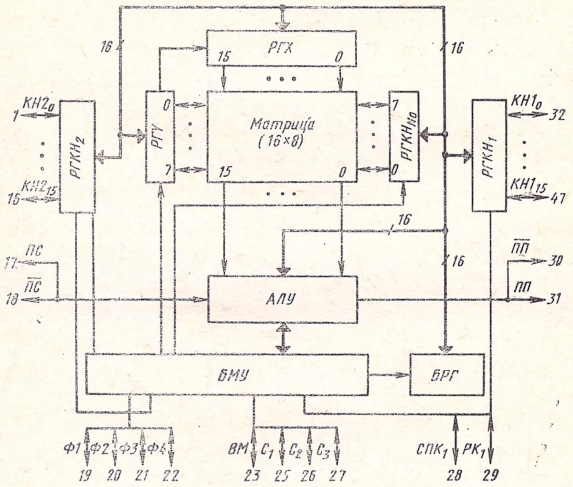


Рис. 10.3. Структурная схема БИС арифметического расширителя U832-К1883ВР2

Магистральный адаптер (МА) U834-К1883ВА4 предназначен для осуществления аппаратной связи между внешними устройствами (в том числе объектами управления) и процессором ЭВМ.

МА выполняет следующие функции:

— связь между шиной МП и шиной внешних устройств;

— управление передачей данных из МП во внешние устройства и обратно;

— управление режимом прямого обращения к памяти;

— организацию режима прерываний при работе с внешними устройствами и памятью.

Таблица 10.5

Номер вывода	Обозначение	Наименование	Примечание
1—3	УРГ	Управление внешними регистрами	Выход
4, 33	УЛ	Управление внешней логикой	Выход
5—20	ДА	Код данных/адресов	Вход/выход
21—23, 28	ПР	Прерывание	Вход
24	⊥	Общий	
25, 26	А16, А17	Адрес	Вход/выход
27	СА	Синхронизация адреса	Вход
29	ПДП	Прямое обращение к памяти	Вход
30	СБР	Сброс	Вход
31	$ОТВ_1$	Ответ	Вход
32	ЗПД	Запрос прямого обращения к памяти	Выход
34	ЗД	Запрос на ввод данных	Вход/выход
35	ВФ	Функция	Вход/выход
36	СПД	Сопровождение выдачи данных	Вход/выход
37	УПР	Управление приоритетным прерыванием	Вход
38	ЗПР	Запрос на прерывание	Вход
39	УШ	Управление шиной	Выход
40	УМ	Управление усилителями младших разрядов данных	Выход
41	УД	Управление усилителей старших разрядов данных	Выход
42	ПЧД	Передача данных	Выход
43	УПП	Управление внешними приемопередатчиками	Выход
44	$ОТВ_2$	Ответ	Выход
45	БЛС	Блокировка старших разрядов	Вход
46	БЛМ	Блокировка младших разрядов	Вход
47	НУСТ	Начальная установка	Вход
48	$U_{пит}$	Питание (+5,0 В)	

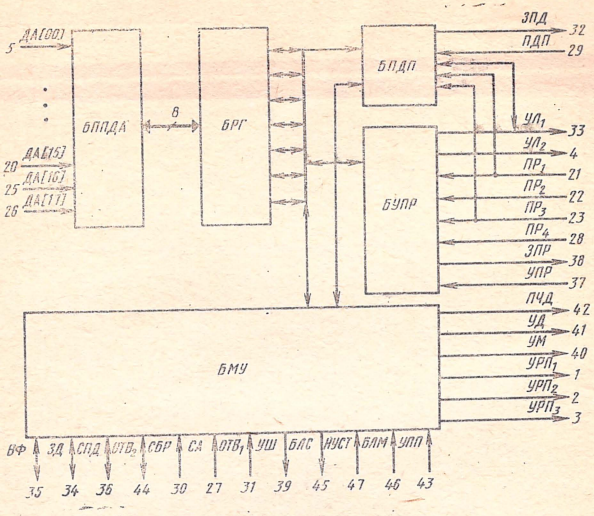


Рис. 10.4. Структурная схема БИС магистрального адаптера U834-К1883ВА3

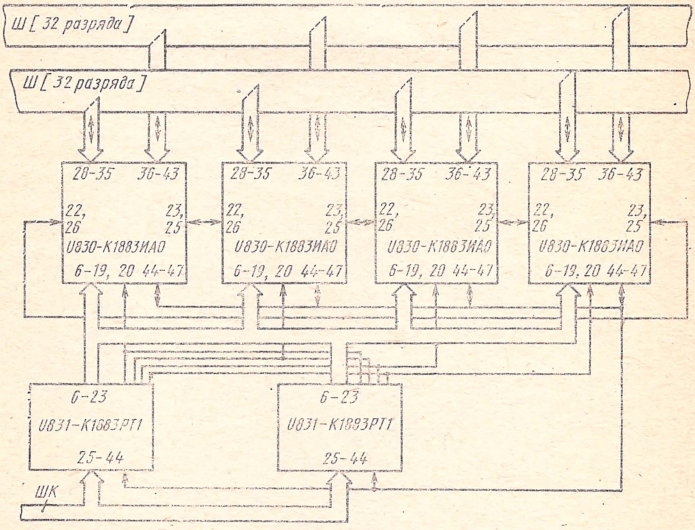


Рис. 10.5. Пример построения 32-разрядного микропроцессора на МПК ИС серии U83-К1883

БИС МА размещена в корпусе из 48 выводов, назначение каждого приведено в табл. 10.5. Структурная схема БИС МА приведена на рис. 10.4. МА включает в себя блок регистров (БРГ), блок местного управления (БМУ), блок управления прерываниями (БУПР), блок прямого доступа к памяти (БПДП) и блок приемопередатчиков адресов и данных (БППДА). БМУ осуществляет внутреннюю синхронизацию БИС МА, управляя работой как отдельных блоков, так и внутренней шины.

На базе БИС МПК U83-К1883 достаточно просто могут быть построены вычислительные устройства с разрядностью обрабатываемых чисел 8, 16, 32. На рис. 10.5 приведена структурная схема процессора, построенного на четырех БИС АУ (U830-К188ИА0) и двух БИС УП (U831-К1883РТ1). Включение БИС АУ и БИС УП, как показано на рис. 10.5, позволяет обрабатывать числа как с фиксированной, так и с плавающей запятой, например 24 разряда — мантисса, 8 разрядов — порядок.

11. Выбор и оценка качества микропроцессорных комплектов интегральных схем

Все возрастающая номенклатура микропроцессорных комплектов интегральных схем (за рубежом известны более 350 типов МПК), с одной стороны, позволяет потребителю максимально использовать их достоинства для конкретных применений, а с другой — ставит его перед достаточно трудной задачей выбора МПК, оптимального с технической и экономической точек зрения. Методика оценки и критерии выбора, использовавшиеся в случае полупроводниковых приборов или простых интегральных схем, для МП непригодны, так как он должен рассматриваться и как вычислительное устройство, и как интегральная микросхема одновременно.

Как вычислительное устройство микропроцессор характеризуется следующими параметрами: разрядностью обрабатываемых данных и выполняемых команд, способностью к наращиванию разрядности, временем выполнения команды типа регистр — регистр и типа регистр — память, числом команд (микрокоманд), наличи-

ем микропрограммного управления, числом внутренних регистров (РОН, индексных, арифметических, вспомогательных), возможностью обеспечения режима прерывания, числом уровней прерывания, типом интерфейса, способностью к обработке десятичных кодов, наличием и объемом стека, объемом адресуемой памяти, наличием канала прямого доступа к памяти, числом входных и выходных шин и их разрядностью, наличием резидентного ассемблера, кросс-ассемблера, управляющей программы, транслятора с языков высокого уровня.

Как интегральная схема (или комплект интегральных схем) МП характеризуется следующими параметрами: типом базовой технологии, степенью интеграции элементов, средней мощностью, потребляемой схемой (схемами), числом источников питания, их номиналами и допусками на номиналы источников питания, типом корпуса (корпусов), помехоустойчивостью, техническим ресурсом, уровнями 0 и 1, совместимостью с ТТЛ-уровнем, нагрузочной способностью, стоимостью, устойчивостью к механическим и климатическим воздействиям, к воздействию проникающей радиации, числом микросхем в МПК и числом микросхем (N) МПК, необходимым и достаточным для построения 16-разрядного микропроцессора.

Комплексный сравнительный анализ по всем приведенным параметрам, имеющим различную природу и вес, затруднителен. Поэтому оценка качества, а соответственно и выбор того или иного типа МПК для конкретных применений могут быть проведены ориентировочно. Используем для этого методику, приведенную в работе [34], дополнив ее введением весовых коэффициентов, определяющих важность того или иного параметра для потребителя [33].

Проведем сравнение всех приведенных в данной книге МПК, кроме МПК серий К536, К581, К586, не обладающих универсальностью использования. Параметры МПК, по которым ведется сравнение и которые имеют численное значение, сведены в табл. 11.1. В последней строке таблицы приведены весовые коэффициенты b_i для каждого параметра. Эталонным будем называть гипотетический МПК ИС, обладающий лучшим для каждого параметра численным значением для всех сравниваемых МПК. Большему численному значению b_i соответствует большая важность параметра.

Таблица 11.1

Серия МПК	Значения параметров и относительных показателей																Q_j	Место в ряду
	Разрядность	P_1	Время выполнения команд, мкс	P_2	Число внутр. регистров	P_3	Число РОН	P_4	Число ИС в базовом МПК	P_5	N	P_6	$P_{потр\,ср}$, Вт	P_7	Число источников питания	P_8		
Эталонный	16	1	0,1	1	20	1	18	1	1	1	2	1	0,05	1	1	1		
К580	8	0,5	2	0,05	13	0,65	6	0,33	1	1	2(усл)	1	0,75	0,07	3	0,33	1,458	6
К584	4	0,25	2	0,05	12	0,6	8	0,44	1	1	4	0,5	0,13	0,38	1	1	1,339	3
К587	4	0,25	2	0,05	11	0,55	8	0,44	2	0,5	5	0,4	0,05	1	1	1	1,386	4
К588	16	1	1,8	0,06	20	1	16	0,89	2	0,5	2	1	0,05	1	1	1	0,893	1
К589	2	0,125	0,1	1	16	0,8	11	0,61	2	0,5	9	0,22	0,725	0,01	1	1	1,426	5
U83-К1883	8	0,5	1,4	0,07	20	1	18	1	2	0,5	3	0,67	1,0	0,01	1	1	1,287	2
b_i	0,2		0,2		0,8		0,1		0,06		0,06		0,2		0,1			

Наложим ограничение на весовые коэффициенты: $\sum_{i=1}^{n} b_i = 1$, где n — число параметров, по которым ведется сравнение.

Отношение численного значения каждого параметра эталонного МПК $a_{iэ}$ к численному значению того же параметра реального МПК a_{ij} образует относительный показатель P_{ij} ($P_{ij}=a_{ij}/a_{iэ}$ в тех случаях, когда лучшему качеству параметра соответствует большее его численное значение). Параметр качества МПК Q_j, учитывающий относительный показатель P_{ij} и весовые коэффициенты b_i, может быть определен по выражению

$$Q_j = \sqrt{\sum_{i=1}^{n} [(1 - P_{ij})(1 - b_i)]^2},$$

где $j=1, 2, 3, \ldots$ — число сравниваемых МПК.

МПК, обладающий меньшим численным значением параметра качества, является оптимальным для данных условий применения.

Для приведенных в табл. 11.1 значений весовых коэффициентов лучшим значением параметра качества обладает МПК серии К588, в чем нетрудно убедиться, выполнив несложные вычисления по выражению для расчета Q_j.

Важным критерием выбора МПК ИС является экономическая эффективность его использования в том или ином виде аппаратуры. При этом имеется в виду не столько стоимость собственно МП по сравнению со стоимостью заменяемых им микросхем, сколько сокращение длительности разработки аппаратуры с применением МПК, повышение ее надежности и т. д. Исходя из этого можно записать, что критерий экономической эффективности $K_{эк}$ — экономический эффект от использования МП в аппаратуре складывается из следующих составляющих:

$$K_{эк} = K_а + K_{эс} + K_р - K_м,$$

где $K_а$ — экономический эффект от использования МПК в аппаратуре; $K_{эс}$ — экономический эффект от эксплуатации аппаратуры со встроенным МП; $K_р$ — экономический эффект от сокращения длительности разработки аппаратуры с МПК; $K_м$ — затраты на разработку математического обеспечения; $K_м \neq 0$ в случае замены микро-

процессором с программируемым «поведением» жесткой аппаратной логики управления.

Внедрение МПК ИС одного типа в аппаратуру различных поколений сводит к минимуму $K_м$, так как с появлением каждого нового типа аппаратуры нарабатывается математическое обеспечение, затраты на освоение и эксплуатацию кросс-системы программирования уменьшаются и т. д.

Экономический эффект от внедрения МП в аппаратуру определяется в основном ее удешевлением по сравнению с прототипом [28]:

$$K_а = \Delta C + \Delta C_а = (C_1 - C_2) + \Delta C_а,$$

где ΔC — снижение стоимости аппаратуры вследствие уменьшения числа ИС; C_1 — стоимость ИС, на которых была построена жесткая логика аппарата; C_2 — стоимость ИС, в том числе МПК ИС, на которых строится аппаратура нового поколения; $\Delta C_а$ — уменьшение стоимости аппаратуры за счет уменьшения стоимости других комплектующих изделий (печатных плат, резисторов, конденсаторов, соединительных элементов и т. д.) и работ по монтажу и сборке.

Экономический эффект от эксплуатации аппаратуры со встроенным МП определяется ее повышенной надежностью, простотой обслуживания и ремонта, наличием тестового контроля, позволяющего локализовать отказы и т. д. [28]:

$$K_{эс} = \Delta C_{эа} + \Delta C_р + \Delta C_п,$$

где $\Delta C_{эа}$ — экономия собственно амортизационных отчислений; $\Delta C_р$ — экономия затрат на текущий ремонт аппаратуры; $\Delta C_п$ — экономия затрат от сокращения простоев аппаратуры благодаря повышению ее надежности.

По приведенным в литературе данным интенсивность отказов широко распространенного МП фирмы Intel I 18 080 составляет 0,04% на 1000 ч работы, или $4 \cdot 10^{-7}$ ч$^{-1}$.

Экономический эффект от сокращения сроков разработки аппаратуры с использованием МП ($K_р$) достигается благодаря возможности проектировать аппаратуру программными средствами с использованием вычислительной техники. Изменение «поведения» МП в аппаратуре осуществляется заменой программ, хранящихся в ПЗУ. При этом не требуется переработка конструкторской документации. По оценкам специалистов применение МП позволяет сократить время разработки аппаратуры в 2 раза, а трудоемкость разработки — в 3—4 раза.

ЗАКЛЮЧЕНИЕ

Развитие микропроцессорной техники происходит столь стремительными темпами, что за относительно короткий срок, потребовавшийся для подготовки настоящей книги, количество микропроцессорных БИС, завершенных в разработке и освоенных отечественной промышленностью, практически удвоилось. Авторы сочли целесообразным привести в заключении краткие сведения о новых микропроцессорных БИС.

В 1981 г. введен в действие новый стандарт, устанавливающий структуру и порядок построения обозначений интегральных микросхем. В соответствии с ним новые микропроцессорные комплекты имеют четырехзначный номер серии (1800, 1801 и др.). Ранее действующий стандарт был выпущен до появления микропроцессоров, поэтому для обозначения функционального назначения микропроцессорных БИС (две буквы после номера серии) применялся код ИК — прочие микросхемы. В новом стандарте предусмотрены специальные коды функционального назначения микропроцессорных БИС. Эти коды применяются для обозначения новых и некоторых ранее освоенных промышленностью МПК. В настоящей книге обозначения всех микропроцессорных БИС приведены по состоянию на 1 января 1982 г.

За истекший срок в соответствии с действующей программой расширена номенклатура БИС ранее выпускаемых МПК и созданы новые комплекты. При этом некоторые комплекты были переработаны, в них применены более дешевые пластмассовые корпуса, улучшены временны́е характеристики некоторых БИС и МПК и т. п. Краткие характеристики вновь освоенных и переработанных БИС приведены в табл. 3.1.

МПК серии КР580 является дальнейшим развитием комплекта серии К580. В отличие от последнего он выполнен в пластмассовом корпусе с двухрядными выводами с шагом 2,5 мм. БИС КР580ИК80А является полным схемотехническим аналогом БИС К580ИК80, но с повышенным быстродействием. БИС КР580ВВ51 и БИС КР580ВВ55 отличаются от БИС К580ИК51 типом корпуса и обозначением их функционального назначения, приведенным в соответствие с действующим стандартом.

Кроме того, в составе комплекта выпускаются четыре новые БИС: программируемый таймер КР580ВИ53 формирует программно управляемые временны́е задерж-

Таблица 3.1

Обозначение ИС	Наименование ИС	Обозначение ТУ	Разрядность (емкость) бит	Тактовая частота, МГц	Напряжение питания, В	Тип корпуса	Примечание
			СЕРИЯ КР580				
КР580ИК80А	Центральный процессорный элемент параллельной обработки данных	бК0.348.527ТУ	8	2,5	+5; +12; −5	2123.40—2	аналог К580ИК80
КР580ВВ51	Программируемый последовательный интерфейс	бК0.348.428ТУ	8	2,0	+5	То же	аналог К580ИК51
КР580ВВ55	Программируемый параллельный интерфейс	бК0.348.394ТУ	8	2,0	+5	» »	аналог К580ИК55
КР580ВИ53	Программируемый таймер	бК0.348.396ТУ	8; 16	2,0	+5	2120.24—3	
КР580ВТ57	Программируемый контроллер прямого доступа к памяти	бК0.348.515ТУ	8; 16	2,0	+5	2123.40—2	
КР580ВН59	Программируемый контроллер прерываний	бК0.348.572ТУ	8	2,0	+5	2121.28—5	
КР580ВГ75	Программируемый контроллер электронно-лучевой трубки	бК0.348.	8; 16	3,0	+5		
			СЕРИЯ К581				
КР581РУ4	Динамическое ОЗУ	бК0.348.565ТУ	16К	—	+5	238.16—1	
КР581ВЕ1	Однокристальный микропроцессор	бК0.348.566ТУ	16	2,5÷3,3	+5; +12	244.48—5	
КР581ВА1	Асинхронный приемопередатчик	бК0.348.565ТУ	8	0,4	−12; +5	413.48—5	

Продолжение табл. 3.1

Обозначение ИС	Наименование ИС	Обозначение ТУ	Разрядность (емкость) бит	Тактовая частота, МГц	Напряжение питания, В	Тип корпуса	Примечание
			СЕРИЯ КР582				
КР582ИК1	Микропроцессор	бК0.342.472ТУ	4*n*	0,6	1,5	244.48—8	
КР582ИК2	Микропроцессор	бК0.342.472ТУ	4*n*	0,6	1,5	244.48—8	
			СЕРИЯ К583				
К583ИК3	Микропроцессор	бК0.348.451ТУ	8*n*	1,0	1,5	244.48—8	
К583КП2	Приемопередатчик без памяти	То же	4*n*	—	1,5	239.24—2	
К583КП3	Приемопередатчик с памятью	» »	5	—	1,5	239.24—2	
К583ХЛ1	Универсальный коммутирующий элемент	» »	8	1,0	1,5	244.48—8	
			СЕРИЯ КР584				
КР584ИК1А	Микропроцессор	бК0.348.452ТУ	4*n*	0,5	5,0	2123.40—5	
КР584ИК1Б	То же	То же	4*n*	0,5	при $R_{огр}$= =30 Ом	То же	
КР584ИК1В	» »	» »	4*n*	0,5		» »	
			СЕРИЯ КР588				
КР588ВС2	Арифметико-логическое устройство	бК0.348.573—01ТУ	16	1,0	5,0	2124.42—1	
КР588ВУ2	Управляющая память	бК0.348.573—02ТУ	150 лог. произведений	1,2	5,0	То же	

Продолжение табл. 3.1

Обозначение ИС	Наименование ИС	Обозначение ТУ	Разрядность (емкость) бит	Тактовая частота, МГц	Напряжение питания, В	Тип корпуса	Примечание
КР588ВГ1	Системный контроллер	бК0.348.573—03ТУ	—	1,0	5,0	2124.42—1	
КР588ИР1	Многорежимный буферный регистр	бК0.348.573—07ТУ	8	—	5,0	2121.28—4	
КР588ВА1	Магистральный приемопередатчик	бК0.348.573—08ТУ	8	—	5,0	2121.28—4	
		СЕРИЯ К1800					
К1800ВС1	Арифметико-логическое устройство	бК0.348.558—02ТУ	4*n*	36	—5,2; —2	2207.48—1	
К1800ВБ2	Схема синхронизации	бК0.348.558—01ТУ	—	36	—5,2; —2	2120.24—1	
К1800ВТ3	Управление оперативной памятью	бК0.348.558—04ТУ	4*n*	36	—5,2; —2	2207.48—1	
К1800ВР8	Программируемый двигатель	бК0.348.558—05ТУ	16*n*	36	—5,2;	2207.48—1	
		СЕРИЯ К1801					
К1801ВЕ1	Однокристальная микро — ЭВМ	бК0.348.570—01ТУ	16	8,0	5,0	429.42—5	
К1801ВМ1	Однокристальный микропроцессор	бК0.348.570—02ТУ	16	5,0	5,0	То же	500000 оп/с
К1801ВП1	Матричная БИС	бК0.348.570—03ТУ	—	—	5,0	» »	2500 вентилей
		СЕРИЯ КР1802					
КР1802ВС1	Арифметическое устройство	бК0.348.566ТУ	8*n*	8,0	5,0	2206.42—1	
КР1802ИР1	Регистры общего назначения	То же	(16×4)*n*	10,0	5,0	2120.24—2	

Продолжение табл. 3.1

Обозначение ИС	Наименование ИС	Обозначение ТУ	Разрядность (емкость) бит	Тактовая частота, МГц	Напряжение питания, В	Тип корпуса	Примечание
КР1802ВР1	Арифметический расширитель	бК0.348.566ТУ	$16n$	8,0	5,0	2206.42—1	
КР1802ВВ1	Устройство обмена информацией	То же	$(4\times4)\,n$	10,0	5,0	То же	
КР1802ВР2	Последовательный умножитель	„ „	$(8\times8)\,n$	8,0	5,0	„ „	
КР1802ВВ2	Интерфейсный адаптер	„ „		10,0	5,0	„ „	
		СЕРИЯ КР1804					
АР1804ВС1	Микропроцессорная секция		$4n$	8,0	5,0	2123.40—3	
КР1804ВУ1	Управление последовательностью микрокоманд		—	8,0	5,0	2121.28—2	
КР1804ВУ2			—	8,0	5,0	То же	
КР1804ВР1	Схема ускоренного переноса		—	8,0	5,0	201.16—11	
КР1804ВУ3	Управление выбором следующего адреса		32×8	8,0	5,0	То же	
КР1804ИР1	Параллельный регистр D — типа		$4n$	8,0	5,0	„ „	

ки и времязадающие функции; программируемый контроллер прямого доступа к памяти КР580ВТ57 осуществляет высокоскоростной обмен данными между памятью и периферийными устройствами; программируемый контроллер прерываний КР580ВН59 осуществляет эффектное обслуживание внешних устройств по запросу прерыванием программы центрального процессора с учетом уровня приоритета запроса; программируемый контроллер электронно-лучевой трубки КР580ВГ75 осуществляет сопряжение растровых сканирующих дисплеев с микропроцессорной системой, обеспечивая поддержание изображения на экране содержимого буферного ЗУ, заполняемого из основного ЗУ системы.

МПК серии КР581. В дополнение к трем приведенным в гл. 4 БИС серии К581 в производстве освоены еще три микропроцессорные схемы в пластмассовых корпусах, в т. ч. динамическое ОЗУ информационной емкостью 16К бит (КР581РУ4) и 8-разрядный приемопередатчик (КР581ВА1). Их применение позволяет в значительной степени упростить схему и уменьшить габариты построенных на основе МПК серии КР581 микро-ЭВМ и модулей к ним. Особо следует остановиться на однокристальном МП КР581ВЕ1. Это сверхбольшая интегральная микросхема (СБИС), объединяющая функции БИС регистрового АЛУ (К581ИК1), БИС управления выполнением операций (К581ИК2), БИС хранения микропрограмм управления (К581РУ1) и БИС микропрограммного ЗУ для реализации стандартного набора системы команд (К581РУ2). Применение этой БИС позволило на одной печатной плате размером 135×240 мм построить микро-ЭВМ «Электроника-60Т», эквивалентную микро-ЭВМ «Электроника-60», т. е. более чем вдвое повысить плотность монтажа в аппаратуре.

МПК серии КР582. В отличие от всех вышеописанных микропроцессорных комплектов МПК серий КР582, К583 и КР584 выполнены на основе И²Л-технологии. Построенные на ее основе приборы обладают относительно хорошими основными параметрами, но ни по одному из них не достигают рекордного уровня. БИС, построенные на основе других технологий, имеют более явные преимущества по одним параметрам, но уступают по другим. Так, биполярные ТТЛ и ЭСЛ-технологии обеспечивают получение быстродействующих и сверхбыстродействующих приборов, но это достигается за счет высокого

и сверхвысокого энергопотребления, которое приводит к трудностям теплоотвода в аппаратуре, а также к снижению степени интеграции ИС и БИС. Применение *n*-МДП-технологии позволяет получить самую высокую степень интеграции БИС, но ограничивает диапазон рабочих температур, что затрудняет их применение, например, в автомобильной и сельскохозяйственной электронной аппаратуре. Приборы, построенные на основе КМДП-технологии, обладают рекордно низким энергопотреблением, что делает их незаменимыми, например, в часах или калькуляторах, но не обеспечивают высокого быстродействия. Приборы, выполненные по *p*-МДП-технологии, являются самыми дешевыми, но и с самым малым быстродействием. И²Л-технология обеспечивает средние параметры БИС по всем основным характеристикам. Это делает эффективным их применение в тех областях народного хозяйства, где не предъявляются особые требования к отдельным характеристикам аппаратуры, например при построении модулей управления периферийными устройствами средств вычислительной техники.

Серия КР582 содержит два близких по архитектуре однокристальных 4-разрядных МП: КР582ИК1 и КР582ИК2. Одинаковые БИС МП могут объединяться между собой для получения на печатной плате микропроцессоров с разрядностью, кратной 4 бит.

МПК серии К583 также выполнен на основе И²Л-технологии. В настоящее время в составе комплекта выпускаются 4 БИС: 8-разрядный наращиваемый микропроцессор К583ИК3, универсальный коммутирующий элемент К583ХЛ1 и два приемопередатчика (с памятью К583КП3 и без памяти К583КП2).

МПК серий КР584 выполняется в пластмассовом корпусе. Комплект представлен однокристальным 4-разрядным микропроцессором.

МПК серии КР588 выполнен по КМОП-технологии и обладает рекордно низким энергопотреблением. БИС АЛУ КР588ВС2 по организации структуры аналогична БИС АЛУ К587ИК2, но имеет разрядность 16 бит. БИС УП КР588ВУ2 отличается от БИС К587ИК1 более высокой информационной емкостью ПЛМ (150 логических произведений по сравнению с 60). Имеются БИС УП с закодированными в них микропрограммами для реализации системы команд микро-ЭВМ «Электроника-60»,

системы числового программного управления металлорежущими станками «Электроника НЦ-31» и др. Кроме того, в составе МПК имеется БИС системного контроллера КР588ВГ1, многорежимный буферный регистр КР588ИР1 и магистральный приемопередатчик КР588ВА1.

МПК серии К1800 построен на основе ЭСЛ-технологии и обладает сверхвысоким быстродействием (тактовая частота достигает 36 МГц). Этим определяется область применения МПК — центральные и специализированные высокопроизводительные вычислительные системы, прежде всего ЕС ЭВМ. В настоящее время МПК состоит из четырех БИС: АЛУ К1800ВС1, схемы синхронизации К1800ВБ2, схемы управления оперативной памятью К1800ВТ3 и программируемого сдвигателя К1800ВР8. Все БИС имеют наращиваемую структуру и позволяют строить процессоры с любой разрядностью, кратной 4 бит.

МПК серии К1801. Основой комплекта, построенного на основе *n*-МДП-технологии, является СБИС однокристального МП К1801ВМ1 с системой команд микро-ЭВМ «Электроника-60» и матричная БИС К1801ВП1. В составе комплекта имеется также СБИС однокристальной микро-ЭВМ с емкостью ОЗУ 128 и ПЗУ 1024 16-разрядных слова. Но в связи с тем, что в настоящее время проводится унификация систем команд микро-ЭВМ с обязательным требованием их программной совместимости с СМ ЭВМ или ЕС ЭВМ, применение однокристальной микро-ЭВМ К1801ВЕ1 с системой команд типа «НЦ» ограничено.

Сочетание однокристального МП с матричной БИС открывает широкие возможности построения вычислительных машин и комплексов различной конфигурации. На основе матричной БИС возможно быстро изготавливать необходимые для различных применений периферийные БИС с затратами времени и средств, на порядок и более меньшими по сравнению с обычной процедурой. Матричная БИС представляет собой базовый кристалл, содержащий матрицу стандартных логических элементов, которые могут быть соединены между собой одним или несколькими верхними слоями металлизации по требуемой для каждого конкретного случая схеме.

На основе матричной БИС К1801ВП1 построены контроллер управления ОЗУ емкостью 32К 16-разрядных

слов (К1801ВП1-30 и К1801ВП1-34), контроллер радиального последовательного интерфейса СМ ЭВМ (ИРПС) со скоростью передачи данных от 50 до 1920 бод (К1801ВП1-35), контроллер радиального параллельного интерфейса СМ ЭВМ (ИРПР) на двух БИС (К1801ВП1-33 и К1801ВП1-34), контроллер накопителя на гибком магнитном диске (К1801ВП1-41) и др.

В состав комплекта входит также БИС постоянного ЗУ К1607РФ1 емкостью 64К бит (4К 16-разрядных слов), которая, как и все перечисленные БИС процессора и контроллеров, имеет в своем составе схемы управления, обеспечивающие их выход на стандартный межмодульный параллельный интерфейс (МПИ), что обеспечивает возможность их подключения друг к другу через магистраль МПИ без дополнительных элементов.

МПК серии К1801 обладает самой высокой степенью интеграции (до 300 000 элементов в кристалле) и, по сравнению с другими однокристальными микропроцессорами, быстродействием (до 500 000 операций в секунду). Это, а также унифицированные интерфейс и система команд, обеспечивающие возможность использования программного обеспечения СМ ЭВМ и мини- и микро-ЭВМ «Электроника-79», «Электроника-100/25», «Электроника-60», «Электроника-60Т», «Электроника-60М» и др., делает этот комплект особенно перспективным во всех областях народного хозяйства.

МПК серий КР1802 и КР1804 построены на основе ТТЛШ-технологии и являются вторым поколением таких приборов. Серии КР1802 и КР1804 полностью совместимы и взаимно дополняют друг друга. Отличаются комплекты подходом к «разрезке» модулей на БИС, определенным требованиями различных областей применения.

В МПК серии КР1804 модули «разрезаются» на БИС, содержащие все элементы этого модуля. Например, МП выполняется в виде 4-разрядной секции, содержащей все элементы микропроцессора. Простое объединение нескольких секций позволяет без дополнительного оборудования получить МП с различной разрядностью, кратной разрядности БИС (4 бит). Если требуется повысить быстродействие микропроцессора, то можно применить БИС ускоренного переноса, но принципиально это не обязательно.

В МПК серии КР1802 модуль расчленяется на функциональные узлы, а эти узлы на секции определенной

размерности. Например, микропроцессор расчленяется на арифметическое устройство (БИС 8-разрядного АЛУ), регистры общего назначения (16 4-разрядных РОН), 16-разрядный арифметический расширитель и т. п. Такая структура МПК несколько усложняет разработку вычислительных средств на его основе, но обеспечивает гораздо большую гибкость и представляет большие возможности потребителю.

Оба комплекта «открыты» с точки зрения программного обеспечения, т. е. не специализированы под определенную систему команд. Потребитель может реализовать на их основе необходимую ему систему команд. Для этого ему необходимо разработать соответствующие микропрограммы и занести их коды в электрически программируемые ПЗУ или ПЛМ.

Серии КР1802 и КР1804 содержат в настоящее время по 6 БИС. Во время подготовки к изданию настоящей книги издательством «Радио и связь» выпущена книга «Микропроцессорные комплекты повышенного быстродействия» (авторы А. И. Березенко, Л. Н. Корягин и А. Р. Назарьян), в которой подробно описаны МПК серий К589, КР1802 и КР1804.

В 1981 г. микропроцессорная техника отметила свой 10-летний юбилей и развивается все более быстрыми темпами. За этот срок отечественная промышленность создала и освоила в серийном производстве ряд МПК, которые предлагаются для массового применения и уже в настоящее время широко используются в различных областях народного хозяйства: в промышленном оборудовании, в транспортных средствах, в медицине, в бытовой аппаратуре и т. п.

СПИСОК ЛИТЕРАТУРЫ

1. **Алексеевский М. А., Евзович И. С.** Разработка микропроцессоров и микропроцессорных систем. — Зарубежная электронная техника/ ЦНИИ «Электроника». — М., 1975, с. 35—62.
2. **Балашов Е. П., Петров Г. А.** Микропроцессоры — новая элементная база радиоэлектроники. — Изв. вузов СССР. Радиоэлектроника, 1978, № 11, с. 16—28.
3. **Баумс А. К., Гуртовец А. Л., Зазнова Н. Е.** Микропроцессорные средства. — Рига: Зинатне, 1977. — 144 с.
4. **Бедрековский М. А., Волга В. В., Кручинкин М. С.** Микропроцессоры. — М.: Радио и связь, 1981. — 96 с.
5. **Березенко А. И.** и др. Микропроцессорный комплект БИС ТТЛ с диодами Шоттки серии К589. — Электронная промышленность, 1978, вып. 5, с. 20—21.
6. **Бобко В. Д.** и др. Распределенная система для разработки и отладки аппаратных и программных средств микропроцессорных устройств. — Труды конф. «Микропроцессоры и микро-ЭВМ». Будапешт, 1979, с. 311—316.
7. **Бобков В. А.** и др. Микромощные микропроцессорные БИС серии К588 на дополняющих МДП-транзисторах. — Электронная промышленность, 1979, вып. 10, с. 36—38.
8. **Бобошко Ю. Г., Федин В. А.** «Листопад» — автоматизированная система кодирования программируемых логических матриц. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1979, вып. 4, с. 29—33.
9. **Борщенко Ю. И., Науменков В. Р.** Программное обеспечение схемотехнического проектирования микропроцессорных больших интегральных схем. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1979, вып. 4, с. 38—48.
10. **Вальков В. М.** Микро-ЭВМ в управлении технологическими процессами, агрегатами и производством. — Электронная промышленность, 1976, вып. 5, с. 15—20.
11. **Вальков В. М., Ильюшенко Ю. М.** Цифровые интегральные схемы, микропроцессоры и микро-ЭВМ. — М.: Сов. радио, 1977. — 104 с.
12. **Васенков А. А.** Развитие микропроцессоров и микро-ЭВМ семейства «Электроника НЦ» на основе комплексно-целевых программ. — Электронная промышленность, 1979, вып. 11, 12, с. 13—16.
13. **Васенков А. А.** Микропроцессоры. — Электронная промышленность, 1978, вып. 5, с. 7—9.
14. **Васенков А. А., Малашевич Б. М., Шахнов В. А.** Микропроцессорные интегральные схемы — основы ЭВМ четвертого поколения. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1979, вып. 4, с. 3—17.

15. **Васенков А. А., Малашевич Б. М., Шахнов В. А.** Микропроцессоры и проблемы взаимоотношений между потребителями и создателями изделий электронной техники. — Электронная промышленность, 1978, вып. 5, с. 22—26.
16. **Васенков А. А., Малашевич Б. М., Шахнов В. А.** Микропроцессоры и микро-ЭВМ для автоматизации научных исследований. — Труды II Всесоюзн. совещ. по автоматизации научных исследований в ядерной физике. Алма-Ата, 1978, с. 22—24.
17. **Васенков А. А., Малашевич Б. М., Шахнов В. А.** Некоторые принципы создания единого семейства микропроцессорных БИС и микро-ЭВМ на их основе. — Труды конф. «Микропроцессоры и микро-ЭВМ». Будапешт, 1979, с. 197—204.
18. **Васенков А. А.** и др. Микромощный микропроцессорный комплект серии К587 и микро-ЭВМ «Электроника НЦ-03Т» на его основе. — Труды конф. «Микропроцессоры и микро-ЭВМ». Будапешт, 1979, с. 851—862.
19. **Микропроцессорные** БИС и микро-ЭВМ. Построение и применение/А. А. Васенков, Н. М. Воробьев, В. Л. Дшхунян и др.; Под ред. А. А. Васенкова. — М.: Сов. радио, 1980. — 280 с.
20. **Васенков А. А.** и др. Терминология в технике микропроцессорных интегральных схем и микро-ЭВМ. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1979, вып. 4, с. 17—29.
21. **Воробьев Н. М.** и др. Микропроцессорные наборы БИС и серия ЭВМ «Электроника НЦ». — Электронная промышленность, 1978, вып. 5, с. 9—14.
22. **Микро-ЭВМ** «Электроника С5» и их применение/М. П. Гальперин, В. Я. Кузнецов, Ю. А. Масленников и др.; Под ред. В. М. Пролейко. — М.: Сов. радио, 1980. — 160 с. — (Массовая б-ка инженера «Электроника»).
23. **Гринкевич В. А.** Микропроцессорные комплекты БИС-элементная база ЭВМ IV поколения. — Микроэлектроника, 1976, т. 5, вып. 2, с. 125—131.
24. **Дшхунян В. Л.** и др. Асинхронные микропроцессорные секции. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1979, вып. 4, с. 62—70.
25. **Дшхунян В. Л.** и др. Микромощный микропроцессорный комплект БИС серии К587 на дополняющих МДП-транзисторах. — Электронная промышленность, 1979, вып. 5, с. 15—19.
26. **Зубашич В. Ф.** и др. Микропроцессорный комплекс БИС серии К580. Семейство микро-ЭВМ «Электроника К1». — Электронная промышленность, 1979, вып. 11—12, с. 19—22.
27. **Каган Б. М., Сташин В. В.** Микропроцессоры в цифровых системах. — М.: Энергия, 1978. — 192 с.
28. **Консон А. С., Лукошявичюс-Лукошюс А.-С. А.** Вопросы определения экономической эффективности применения микропроцессоров. — Приборы и системы управления, 1979, № 10, с. 38—40.
29. **Малашевич Б. М., Шахнов В. А.** Комплексная система стандартизации и унификации микропроцессоров и микро-ЭВМ. — Электронная промышленность, 1978, вып. 5, с. 26—29.
30. **Микромощный** комплект БИС ТТЛ с диодами Шоттки (серия К589). — М.: ЦНИИ «Электроника», 1978. — 52 с.

31. **Микропроцессоры** и микро-ЭВМ: Обзорная информация. — М.: ЦНИИТЭИприборостроения, 1978.
32. **Наумов Б. Н., Гиглавый А. В.** Перспективы использования микропроцессорной технологии в СМ ЭВМ». — Труды конф. «Микропроцессоры и микро-ЭВМ». Будапешт, 1979, с. 27—34.
33. **Нестеров П. В.** Развитие и оценка архитектуры микропроцессоров. — Зарубежная радиоэлектроника, 1979, вып. 4, с. 32—69.
34. **Преснухин Л. Н., Шахнов В. А., Кустов В. А.** Основы конструирования микроэлектронных вычислительных машин. — М.: Высшая школа, 1976. — 408 с.
35. **Прангишвили И. В.** Микропроцессоры и микро-ЭВМ. — М.: Энергия, 1979. — 232 с.
36. **Прангишвили И. В.** Современное состояние и пути развития микропроцессоров и микро-ЭВМ. — Измерения, контроль, автоматизация, 1977, № 1, с. 55, 56; № 2, с. 55—56.
37. **Пролейко В. М.** Микропроцессоры, микро-ЭВМ и их развитие. — Электронная промышленность, 1979, вып. 11, 12, с. 3—6.
38. **Пролейко В. М.** Микровычислительные системы и их применение. — Электронная промышленность, 1978, вып. 5, с. 3—6.
39. **Тихомиров С. Н.** и др. Многофункциональная микромощная КМОП БИС арифметического расширителя. — Электронная промышленность, 1980, вып. 7, с. 13—16.
40. **Хвостанцев М. А.** Микропроцессоры и системы обработки данных. — Зарубежная радиоэлектроника, 1975, № 9, с. 31—60.
41. **Чичерин Ю. Е.** Устройство числового программного управления «Электроника НЦ-31». — Электронная промышленность, 1979, вып. 11, 12, с. 81—83.
42. **Шагурин И. И., Бушуев М. К.** Микропроцессоры — современное состояние и пути развития. — Микроэлектроника, 1975, т. 4, вып. 6, с. 486—496.
43. **Щетинин Ю. И., Воробьева В. В.** Многофункциональное пересчетное устройство. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1979, вып. 4, с. 95—108.
44. **Щетинин Ю. И.** и др. Схемотехника микропроцессорного комплекта БИС с диодами Шоттки. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1979, вып. 4, с. 56—62.

ОГЛАВЛЕНИЕ

Предисловие 3
Список основных сокращений 5
1. Состав микропроцессорного комплекта интегральных схем и структура микропроцессора 7
2. Микропроцессорный комплект интегральных схем серии К536 13
3. Микропроцессорный комплект интегральных схем серии К580 56
4. Микропроцессорный комплект интегральных схем серии К581 70
5. Микропроцессорный комплект интегральных схем серии К584 80
6. Микропроцессорный комплект интегральных схем серии К586 89
7. Микропроцессорный комплект интегральных схем серии К587 и КР587 104
8. Микропроцессорный комплект интегральных схем серии К588 129
9. Микропроцессорный комплект интегральных схем серии К589 140
10. Микропроцессорный комплект интегральных схем серии U83-К1883 163
11. Выбор и оценка качества микропроцессорных комплектов интегральных схем 173
Заключение 178
Список литературы 188

ВИКТОР СТЕПАНОВИЧ БОРИСОВ,
АЛЕКСАНДР АНАТОЛЬЕВИЧ ВАСЕНКОВ,
БОРИС МИХАЙЛОВИЧ МАЛАШЕВИЧ,
ВАДИМ АНАТОЛЬЕВИЧ ШАХНОВ,
ЛЮБОВЬ ИВАНОВНА ЯКУШКИНА

Микропроцессорные комплекты интегральных схем.

Состав и структура

Редактор Е. В. Вязова
Художественный редактор Н. С. Шеин.
Технический редактор Г. И. Колосова
Корректор Т. Г. Захарова.

ИБ № 108

Сдано в набор 27.11.81 Подписано в печать 15.01.82 Т-03827
Формат 84×108/32 Бумага тип. № 2 Гарнитура литературная
Печать высокая Усл. печ. л. 10,08. Усл. кр.-отт. 10,29. Уч.-изд. л. 10,54.
Тираж 100 000 экз. Изд. № 19489 Зак. № 1354 Цена 55 к.

Издательство «Радио и связь». 101000 Москва, Главпочтамт, а/я 693

Московская типография № 10 Союзполиграфпрома Государственного комитета СССР по делам издательств, полиграфии и книжной торговли. 113114, Москва, М-114, Шлюзовая наб., 10

55 к.

«РАДИО И СВЯЗЬ»